

使用说明书

2020.03

CLM320VC33

启珑微电子(北京)有限公司

Copyright© 2019 chiplon microelectronics.the information contained herein is subject to change without notice.chiplon shall not be liable for technical or deitorial errors or omissions contained herein.photographed products may not always match the description.all brand names & trademarks are the properties of their respective holders and used for descriptive purposes only.

- 高性能浮点数字信号处理器 (DSP) :
 - CLM320VC33-150
 - 13ns单周期指令执行时间；
 - 每秒执行1.5亿次浮点运算 (MFLOPS) ；
 - 每秒执行7500万条指令 (MIPS) ；
 - CLM320VC33-120
 - 17ns单周期指令执行时间；
 - 120 MFLOPS ；
 - 60 MIPS ；
- 为改善内部性能，片内有34K×32位 (1.1Mbit) 静态随机存取存储器 (SRAM) ，可以访问2次，其中16K和1K各两块；
- 5倍锁相环 (PLL) 时钟发生器；
- 超低功耗：<200 mW @ 150 MFLOPS ；
- 32位高性能CPU
- 整数用16位或32位表示，浮点数用32位或40位表示；
- 具有4个内部译码页，可以简化与IO以及存储器的接口；
- 程序引导方式；
- EDGEMODE可选外部中断；
- 指令字长32位，地址宽度24位；
- 八个可扩展精度寄存器；
- 片内存储器映射外设：
 - 一个串行端口；
 - 2个32位计时器；
 - 直接内存访问 (DMA) 协处理器，为了I / O和CPU并发操作；
- 使用启珑微电子 (Chiplon) 的0.18μm (有效栅极长度) TImeline™ 工艺制造；
- 144引脚-薄型四侧引脚扁平封装 (LQFP) (PGE后缀) ；
- 有2个地址发生器并带有8个辅助寄存器和2个辅助寄存器的运算单元；
- 两种低功耗模式；
- 支持2个和3个操作数指令；
- 可以在单指令周期内完成一个乘操作和一个算术/逻辑单元 (ALU) 运算；
- 块重复功能；
- 单周期零耗循环；
- 条件调用和条件返回指令；
- 多处理器支持的互锁指令；
- 总线控制寄存器配置选通控制等待状态生成；
- 1.8V (内核) 和3.3V (I / O) 电源电压；
- 片内基于扫描的仿真逻辑，IEEE Std 1149.1 (JTAG) ；

描述

CLM320VC33是一种32位浮点数字信号处理器 (DSP) ，采用0.18μm 四层金属 (four-level-metal) CMOS (TImeline)工艺。CLM320VC33是启珑微电子 (Chiplon) 生产的DSP，属于CLM320C3x系列。

CLM320C3x内部公用和专用数字信号处理器指令每秒可执行多达1.5亿次浮点运算 (MFLOPS) ，具有高的速度和灵活性。CLM320VC33通过提高在硬件上执行来提高运行速度，而其他处理器则是通过软件功能或微代码速率来提高运行速度。这种通过硬件来提高性能的方式在以往单芯片DSP上是不可能实现的。

CLM320VC33具有在单个周期内对整数、浮点数并行执行乘法和ALU的强大功能。每个处理器都具有一个通用寄存器、一个高速程序存储器、专用ARAU、内部双访问存储器，一个支持并发I / O的DMA通道，以及较短运行周期。因此，CLM320VC33具有高性能和易用性的特点。

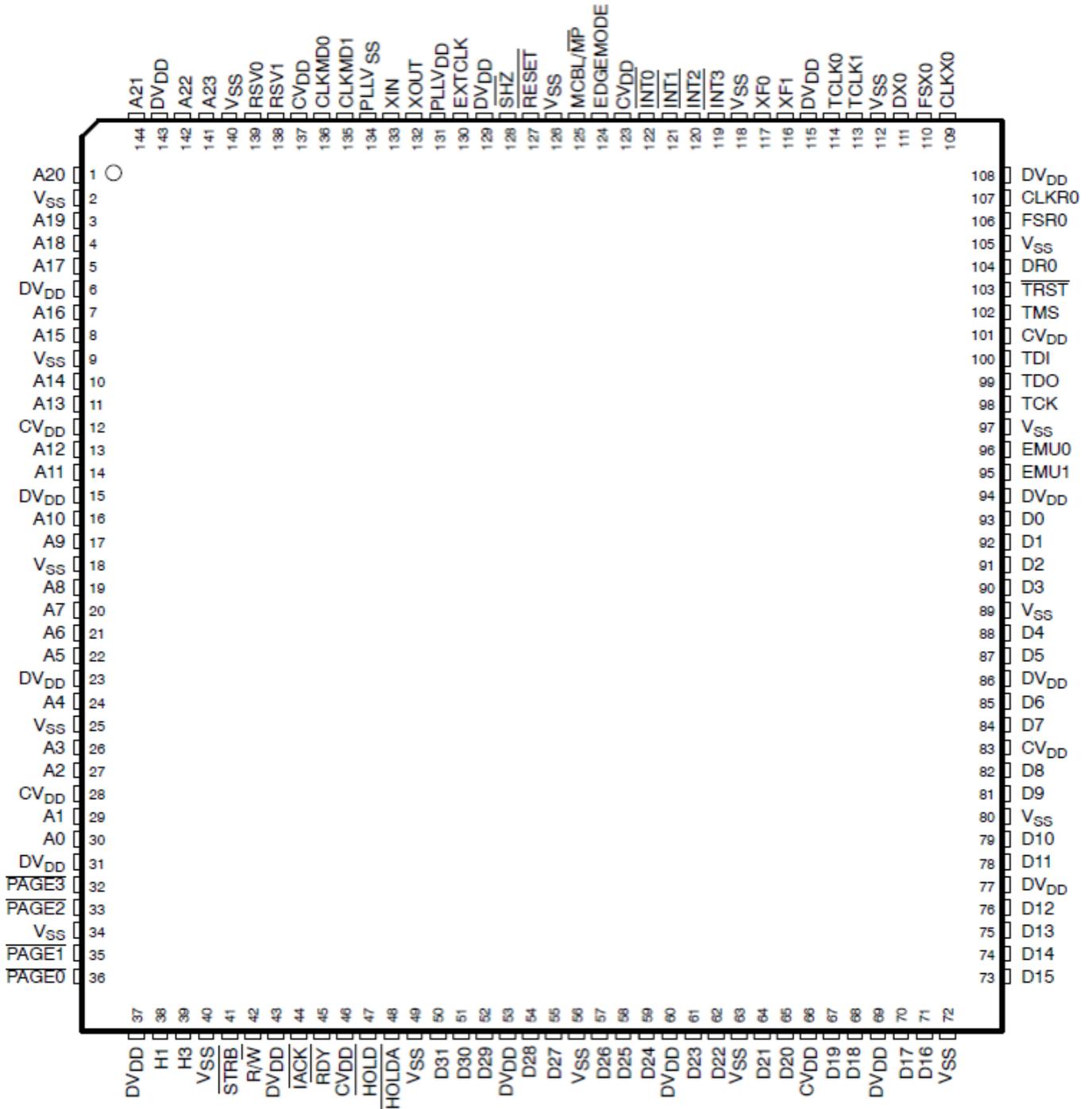
描述 (续)

通过大的地址空间、多个处理器接口、内部和外部生成的等待状态数、一个外部接口端口、两个计时器、一个串行端口和多个中断结构，可以极大的增强其应用性。CLM320C3x支持从主处理器到专用协处理器的各种系统应用程序。通过基于寄存器的体系结构、大地址空间、强大的寻址模式、灵活的指令集和良好的浮点算法，可以轻松实现对高级语言的支持。

CLM320VC33是CLM320C31的衍生产品。在原有基础上，设计人员添加了额外的1Mbits片上SRAM，最大吞吐量达到150 MFLOPS，以及一些I / O增强功能，其允许轻松升级到当前系统或创建新基准。本数据手册提供了CLM320VC33器件新功能应用所需的信息。有关常规的CLM320C3x架构和编程信息，请参见《CLM320C3x用户指南》(文献编号SPRU031)。

引脚排列

PGE 封装[†]
俯视图



[†] DV_{DD}是I/O引脚的电源，而CV_{DD}是内核CPU的电源。V_{SS}是I/O引脚和内核CPU的地。

[‡] PLLV_{DD}和PLLV_{SS}是隔离的PLL电源引脚，应分别从外部连接到CV_{DD}和V_{SS}。

CLM320VC33器件采用144引脚-薄型四侧引脚扁平封装（LQFP）（PGE后缀）。

终端分配 (字母) †

信号名称	管脚数	信号名称	管脚数	信号名称	管脚数	信号名称	管脚数
A0	30	D0	93	DV _{DD}	31	R/	42
A1	29	D1	92		37		45
A2	27	D2	91		43		127
A3	26	D3	90		53	RSV0	139
A4	24	D4	88		60	RSV1	138
A5	22	D5	87		69		128
A6	21	D6	85		77		41
A7	20	D7	84		86	TCK	98
A8	19	D8	82		94	TCLK0	114
A9	17	D9	81		108	TCLK1	113
A10	16	D10	79		115	TDI	100
A11	14	D11	78		129	TDO	99
A12	13	D12	76		143	CLM	102
A13	11	D13	75	DX0	111		103
A14	10	D14	74	EDGEMOD E	124	V _{SS}	2
A15	8	D15	73	EMU0	96		9
A16	7	D16	71	EMU1	95		18
A17	5	D17	70	EXTCLK	130		25
A18	4	D18	68	FSR0	106		34
A19	3	D19	67	FSX0	110		40
A20	1	D20	65	H1	38		49
A21	144	D21	64	H3	39		56
A22	142	D22	62		47		63
A23	141	D23	61		48		72
CLKMD0	136	D24	59		44		80
CLKMD1	135	D25	58		122		89
CLKR0	107	D26	57		121		97
CLKX0	109	D27	55		120		105
CV _{DD}	12	D28	54		119		112
	28	D29	52	MCBL/	125		118
	46	D31	51		36	126	
	66	D30	50		35	140	
	83	DR0	104		33	XIN	133
	101	DV _{DD}	6		32	XOUT	132
	123		15	PLL _{VDD} ‡	131	XF0	117
137	23		PLL _{VSS} ‡	134	XF1	116	

† DV_{DD}是I / O引脚的电源，而CV_{DD}是内核CPU的电源。V_{SS}是I / O引脚和内核CPU的地。

‡ PLL_{VDD}和PLL_{VSS}是隔离的PLL电源引脚，应分别从外部连接到CV_{DD}和V_{SS}。

终端分配 (字母) †

管脚数	信号名称	管脚数	信号名称	管脚数	信号名称	管脚数	信号名称
1	A20	37	DV _{DD}	73	D15	109	CLKX0
2	V _{SS}	38	H1	74	D14	110	FSX0
3	A19	39	H3	75	D13	111	DX0
4	A18	40	V _{SS}	76	D12	112	V _{SS}
5	A17	41		77	DV _{DD}	113	TCLK1
6	DV _{DD}	42	R/	78	D11	114	TCLK0
7	A16	43	DV _{DD}	79	D10	115	DV _{DD}
8	A15	44		80	V _{SS}	116	XF1
9	V _{SS}	45		81	D9	117	XF0
10	A14	46	CV _{DD}	82	D8	118	V _{SS}
11	A13	47		83	CV _{DD}	119	
12	CV _{DD}	48		84	D7	120	
13	A12	49	V _{SS}	85	D6	121	
14	A11	50	D31	86	DV _{DD}	122	
15	DV _{DD}	51	D30	87	D5	123	CV _{DD}
16	A10	52	D29	88	D4	124	EDGEMOD E
17	A9	53	DV _{DD}	89	V _{SS}	125	MCBL/ V _{SS}
18	V _{SS}	54	D28	90	D3	126	
19	A8	55	D27	91	D2	127	
20	A7	56	V _{SS}	92	D1	128	
21	A6	57	D26	93	D0	129	DV _{DD}
22	A5	58	D25	94	DV _{DD}	130	EXTCLK
23	DV _{DD}	59	D24	95	EMU1	131	PLL _{V_{DD}} ‡
24	A4	60	DV _{DD}	96	EMU0	132	XOUT
25	V _{SS}	61	D23	97	V _{SS}	133	XIN
26	A3	62	D22	98	TCK	134	PLL _{V_{SS}} ‡
27	A2	63	V _{SS}	99	TDO	135	CLKMD1
28	CV _{DD}	64	D21	100	TDI	136	CLKMD0
29	A1	65	D20	101	CV _{DD}	137	CV _{DD}
30	A0	66	CV _{DD}	102	CLM	138	RSV1
31	DV _{DD}	67	D19	103		139	RSV0
32		68	D18	104	DR0	140	V _{SS}
33		69	DV _{DD}	105	V _{SS}	141	A23
34	V _{SS}	70	D17	106	FSR0	142	A22
35		71	D16	107	CLKR0	143	DV _{DD}
36		72	V _{SS}	108	DV _{DD}	144	A21

† DV_{DD}是I/O引脚的电源，而CV_{DD}是内核CPU的电源。V_{SS}是I/O引脚和内核CPU的地。

‡ PLL_{V_{DD}}和PLL_{V_{SS}}是隔离的PLL电源引脚，应分别从外部连接到CV_{DD}和V_{SS}。

终端功能

终端名称	数量	类型 [†]	描述	信号为高阻态时的条件 [‡]
主总线接口				
D31-D0	32	I/O/Z	32位数据接口。 数据接口总线保持器（参见图9）。	S H R
A23-A0	24	O/Z	24位地址接口。	S
R/	1	O/Z	读/写。当通过并行接口执行读取时，R/为高电平；当通过并行接口执行写入时，R/为低电平。	S H R
	1	O/Z	选通。对于所有外部访问。	S H R
-	1	O/Z	页选通。四个页选通解码用于外部访问。	S H
	1	I	准备。表示外部设备已准备好，可进行数据交互。	S H R
	1	I	保持。当为逻辑低电平时，所有正在进行的动作都将继续完成。A23 - A0，D31 - D0，和R/处于高阻态，并且主总线接口上的状态都将保持，直到变为逻辑高电平或直到主总线控制寄存器的NOHOLD位被设置。	
	1	O/Z	保持确认。是响应于的逻辑低电平而产生的。表示A23 - A0，D31 - D0，和R/处于高阻态，并且总线上的所有状态均被保持。为逻辑高电平，则响应为高电平，主总线控制寄存器的NOHOLD位被设置。	S
控制信号				
	1	I	复位。当为逻辑低电平时，器件处于复位状态。当为逻辑高电平时，从复位状态指定的位置开始执行。	
EDGEMODE	1	I	沿模式。启用中断沿模式检测。	
-	4	I	外部中断。	
	1	O/Z	中断确认。由IACK指令生成。可用于指示何时执行一段代码。	S
MCBL/	1	I	微型计算机Bootloader / 微处理器模式选择	
	1	I	关断高阻态。器件启用时，将所有引脚置于高阻态。可用于板级测试或确保不发生双驱动情况。注意：值过低会损坏器件存储器和寄存器的内容。将重置为高电平，可以将器件恢复到已知的工作状态。	
XF1，XF0	2	I/O/Z	外部标志。XF1和XF0为通用I / O或支持互锁处理器指令。	S R
串行端口0信号				
CLKR0	1	I/O/Z	串口0的接收时钟。CLKR0是串口0接收器的串行移位时钟。	S R
CLKX0	1	I/O/Z	串口0的发送时钟。CLKX0是串口0发送器的串行移位时钟。	S R
DR0	1	I/O/Z	数据接收。串行端口0在DR0上接收串行数据。	S R
DX0	1	I/O/Z	数据发送。串行端口0在DX0上发送串行数据。	S R
FSR0	1	I/O/Z	接收帧同步脉冲。FSR0脉冲用于启动DR0数据接收过程。	S R
FSX0	1	I/O/Z	发送帧同步脉冲。FSX0脉冲使用启动DX0数据传输过程。	S R

[†] I 为输入，O 为输出，Z 为高阻态。

[‡] S 表示 时激活，H 表示 时激活，R 表示 时激活。

§ 建议对电源去耦。CV_{DD}使用4个0.1μF的去耦电容，DV_{DD}使用8个0.1μF的去耦电容。

终端功能 (续)

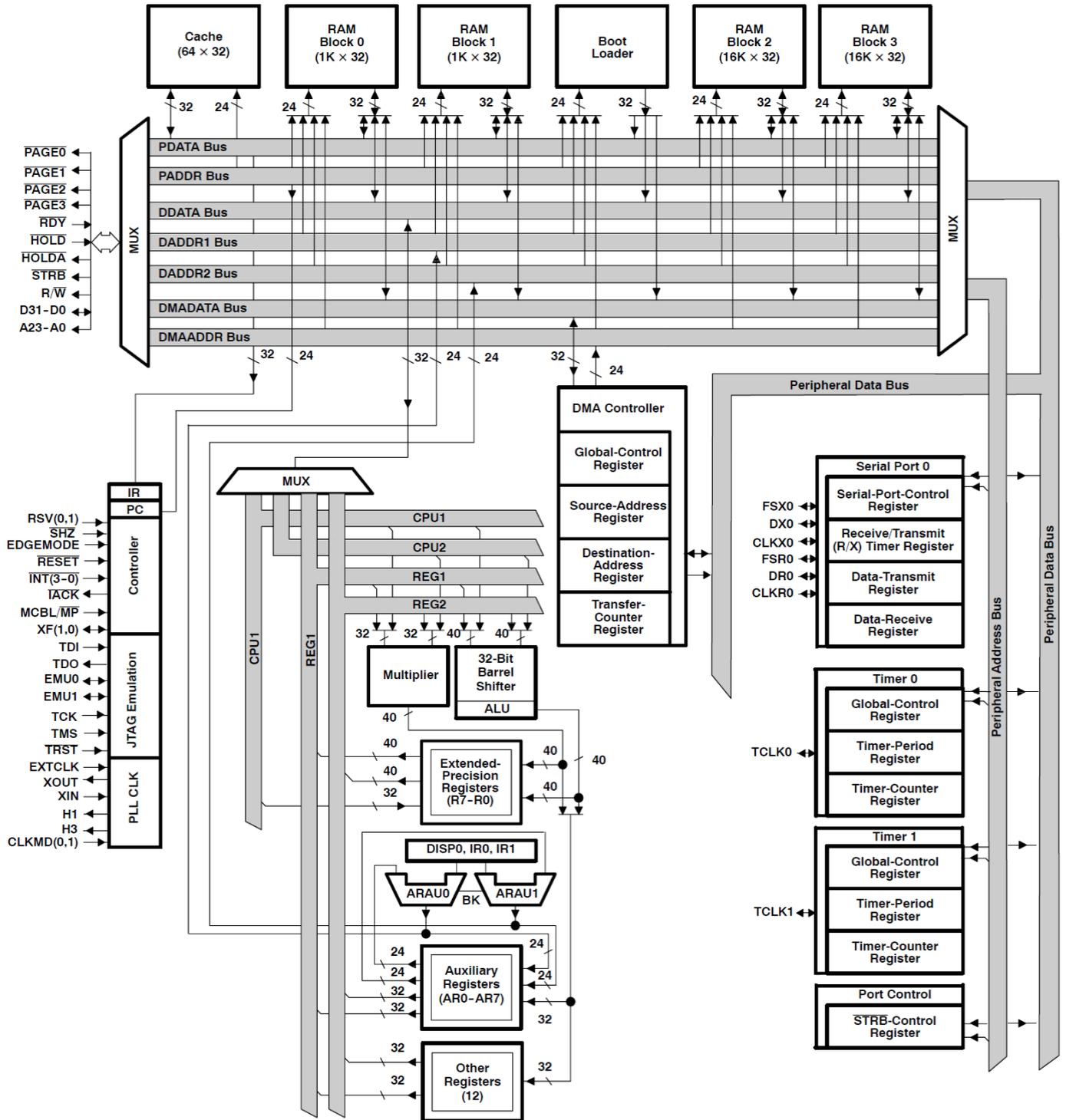
终端		类型 [†]	描述	信号为高阻态时的条件 [‡]	
名称	数量				
计时器信号					
TCLK0	1	I/O/Z	计时器时钟0。作为输入，计时器0使用TCLK0对外部脉冲进行计数；作为输出，TCLK0输出由计时器0产生的脉冲。	S	R
TCLK1	1	I/O/Z	计时器时钟1。作为输入，计时器1使用TCLK1对外部脉冲进行计数；作为输出，TCLK1输出由计时器1产生的脉冲。	S	R
供电和振荡器信号					
H1	1	O/Z	外部时钟H1。	S	
H3	1	O/Z	外部时钟H3。	S	
CV _{DD}	8	I	+ V _{DD} 。内核CPU专用1.8V电源。所有引脚都必须连接到1.8V电源上。 [§]		
DV _{DD}	16	I	+ V _{DD} 。I / O引脚专用3.3V电源。所有引脚都必须连接到3.3V电源上。 [§]		
V _{SS}	18	I	地。所有接地引脚都必须连接到公共地上。		
PLL _{VDD}	1	I	内部隔离的PLL电源。连接到CV _{DD} (1.8 V)		
PLL _{VSS}	1	I	内部隔离的PLL地。连接到V _{SS} 。		
EXTCLK	1	I	外部时钟。与逻辑电平兼容的时钟输入。如果使用XIN / XOUT振荡器，则将该引脚接地。		
XOUT	1	O	时钟输出。内部晶体振荡器的输出。如果未使用内部晶振，则应保持XOUT悬空。		
XIN	1	I	时钟输入。内部晶体振荡器的输入。如果使用EXTCLK，则将该引脚接地。		
CLKMD0 , CLKMD1	2	I	时钟模式选择引脚。		
RSV0 - RSV1	2	I	保留。单独上拉至DV _{DD} 。		
JTAG仿真					
EMU1 - EMU0	2	I/O	仿真引脚0和1，单独上拉至DV _{DD} 。		
TDI	1	I	测试数据输入。		
TDO	1	O	测试数据输出。		
TCK	1	I	测试时钟。		
CLM	1	I	测试模式选择。		
	1	I	测试复位。		

[†] I 表示输入，O 表示输出，Z 表示高阻态。

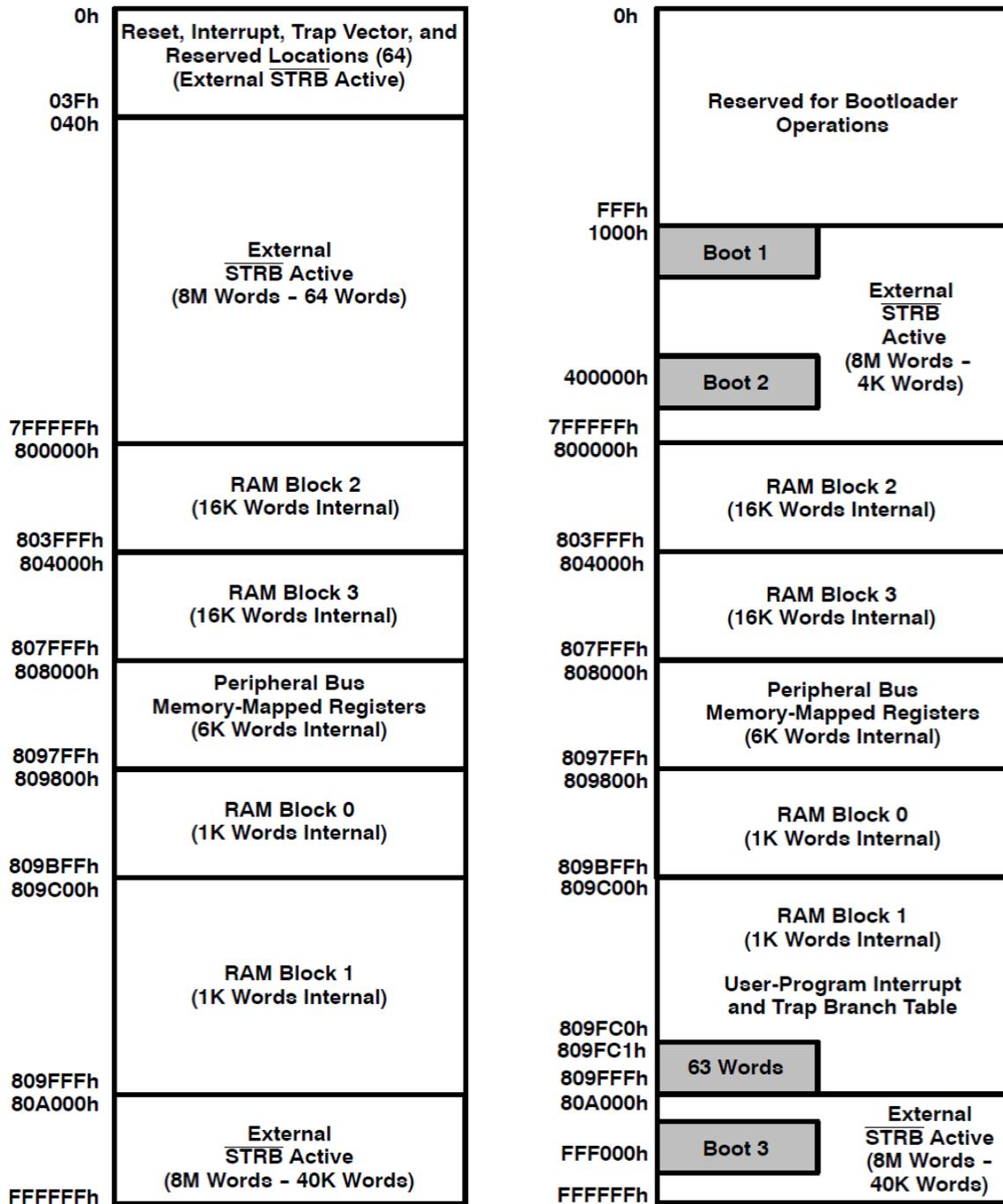
[‡] S 表示 时激活，H 表示 时激活，R 表示 时激活。

[§] 建议对电源去耦。CV_{DD}使用4个0.1μF的去耦电容，DV_{DD}使用8个0.1μF的去耦电容。

功能框图



内存映射



(a) 微处理器模式

(b) 微型计算机/引导程序模式

注A：在所有外部存储范围内处于激活状态。至被配置为外部总线选通开关。它们是简单可编译的选通开关，没有配置寄存器，仅在以下范围内的外部总线激活期间才有效：

名称 激活范围

0000000h – 03FFFFFFh

0400000h – 07FFFFFFh

0800000h – 0BFFFFFFh

0C00000h – 0FFFFFFFh

0000000h – 0FFFFFFFh

图1 CLM320VC33内存映射

内存映射 (续)

00h	Reset	809FC1h	INT0
01h	INT0	809FC2h	INT1
02h	INT1	809FC3h	INT2
03h	INT2	809FC4h	INT3
04h	INT3	809FC5h	XINT0
05h	XINT0	809FC6h	RINT0
06h	RINT0	809FC7h	Reserved
07h	Reserved	809FC8h	Reserved
08h		809FC9h	TINT0
09h	TINT0	809FCAh	TINT1
0Ah	TINT1	809FCBh	DINT
0Bh	DINT	809FCCh	Reserved
0Ch	Reserved	809FDFh	
1Fh		TRAP 0	809FE0h
20h	•	•	•
	•	•	•
	•	•	•
3Bh	TRAP 27	809FFBh	TRAP 27
3Ch	Reserved	809FFCh	Reserved
3Fh		809FFFh	

(a) 微处理器模式

(b) 微型计算机/引导程序模式

图2 复位、中断和陷阱向量/分支在存储器映射中的位置

内存映射 (续)

808000h	DMA Global Control
808004h	DMA Source Address
808006h	DMA Destination Address
808008h	DMA Transfer Counter
808020h	Timer 0 Global Control
808024h	Timer 0 Counter
808028h	Timer 0 Period Register
808030h	Timer 1 Global Control
808034h	Timer 1 Counter
808038h	Timer 1 Period Register
808040h	Serial Global Control
808042h	FSX/DX/CLKX Serial Port Control
808043h	FSR/DR/CLKR Serial Port Control
808044h	Serial R/X Timer Control
808045h	Serial R/X Timer Counter
808046h	Serial R/X Timer Period Register
808048h	Data-Transmit
80804Ch	Data-Receive
808064h	Primary-Bus Control

注：阴影表示保留的地址位置。

图3.外围总线存储器映射寄存器

时钟发生器

时钟发生器为VC33器件提供时钟源，由一个内部振荡器和一个锁相环电路构成。时钟发生器需要参考时钟输入，该参考时钟输入可由带内部振荡器的晶体谐振器或外部时钟源提供。通过PLL电路，可以实现5倍频的参考时钟频率，因此，允许使用比CPU频率更低的时钟源。PLL是一种自适应电路，一旦同步，便会锁定并跟踪输入时钟信号。

PLL和时钟振荡器控制

时钟模式控制引脚被解码为四种工作模式，如图4所示。这些模式控制了时钟分频率、振荡器和PLL功率（见表1）。

当连接外部时钟输入或晶振时，相反的未使用的输入可以简单的将其接地。XOR门将两个信号源之一传递到PLL级。这允许将时钟参考直接注入到EXTCLK，或带有振荡器电路的1 - 20MHz晶体和陶瓷谐振器中。这两个时钟源包括：

- 晶体振荡器电路，其中晶体或陶瓷谐振器跨接在XOUT和XIN引脚之间，并且EXTCLK接地。
- 外部时钟输入，外部时钟源直接连接到EXTCLK引脚，XOUT保持悬空状态，XIN接地。

最初启动PLL时，PLL在锁定输入信号时进入过渡模式。一旦PLL锁定了信号，它就会继续跟踪并保持与输入信号的同步。PLL是一个简单的具有旁路和功率控制的频率乘法器，该乘法器是参考时钟的5倍频。

在CPU控制下，时钟分频器将参考时钟减小为1倍（MAXSPEED），1/16倍（LOWPOWER）或时钟停止（IDLE2）。将或中断引脚拉低可以将IDLE2状态激活。

还提供了二分频CLM320C31等效工作模式。在这种模式中，参考时钟同步输出二分频，其由相对于当前H1 / H3状态的RESET下降沿时序确定。

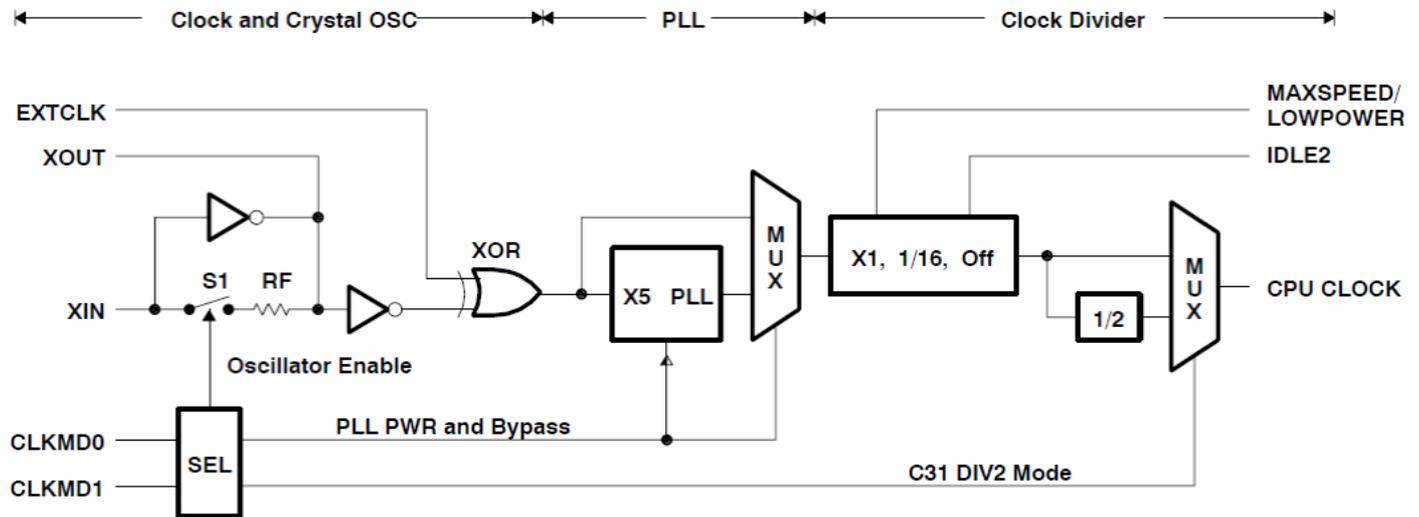


图4 时钟发生器

表1 时钟模式选择引脚

时钟模式0	时钟模式1	反馈	PLL PWR	比例	备注
0	0	Off	Off	1	全静态，低功耗。
0	1	On	Off	1/2	启用振荡器。
1	0	On	Off	1	启用振荡器。
1	1	On	On	5	2 mA @ 60 MHz，1.8V PLL电源。启用振荡器。

PLL和时钟振荡器控制 (续)

8 - 30MHz范围内典型晶振的串联电阻为 25Ω ，在8MHz以下，晶振电阻的阻值增加。为了保持适当的滤波和相位关系，振荡器电路的 R_d 和 Z_{out} 应为晶振的10倍- 40倍。当使用低频晶振时，建议使用如图5所示的串联电阻 (R_d) 补偿。然后，XOUT输出 (XIN的方波反相) 由XOUT的输出阻抗、负载电容C1和 R_d (如果存在) 进行滤波。晶振和输入负载电容C2随后对该信号进行重新滤波，产生振荡器电源电压的75 - 85%的XIN信号。

注：某些陶瓷谐振器采用低成本的三端封装，内部包含C1和C2。通常，陶瓷谐振器不保证晶体的频率精度。

注：使用图5所示的可选电源隔离电路可以实现更好的PLL稳定性。可以使用类似的滤波器来隔离 PLL_{SS} ，如图6所示。 PLL_{DD} 也可以直接连接到 CV_{DD} 。

表2.典型晶振电路负载

频率 (MHz)	R_d (Ω)	C1 (pF)	C2 (pF)	CL^\dagger (pF)	RL^\dagger (Ω)
2	4.7k	18	18	12	200
5	2.2k	18	18	12	60
10	470	15	15	12	30
15	0	15	12	12	25
20	0	9	9	10	25

† CL 和 RL 是晶体的典型内部串联负载电容和电阻。

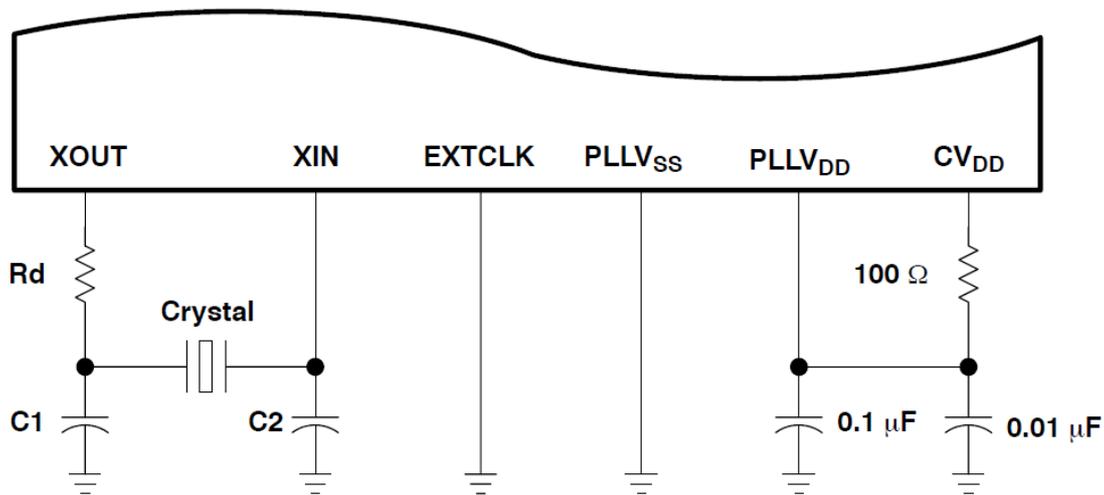


图5 自激振荡模式

PLL隔离

内部PLL电源可以直接连接到 CV_{DD} 和 V_{SS} (0Ω 情况)，图5所示为部分隔离，图6所示为完全隔离。RC网络可防止PLL电源将 CV_{DD} 和 V_{SS} 电源中的高频噪声变成抖动。

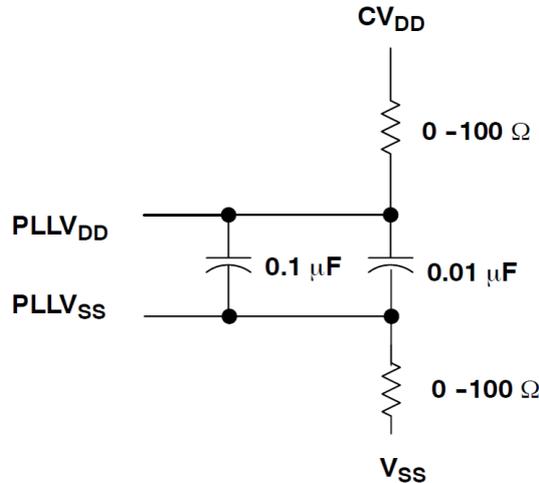


图6 PLL隔离电路图

初始化时钟和PLL注意事项

上电时，CPU时钟分频模式处于MAXSPEED，POWER或IDLE2，或PLL处于未定义模式。在有效的CPU时钟下，下降沿用于清除此状态，此后器件将同步终止所有外部活动。

CLM320VC33的5倍频 ($\times 5$) $F_{clk_{in}}$ PLL包含一个8位PLL - LOCK计数器，该计数器使PLL在初始上升期间输出 $F_{clk_{in}} / 2$ 的频率。当为低电平或没有输入时钟时，该计数器不会递增。在复位的第一个下降沿之前，至少需要256个输入时钟，PLL才能输出以清除该计数器。设置和实现如下：

在为低电平且输入时钟为高电平或低电平的情况下，向DSP供电。施加时钟（仍旧为低电平），PLL锁定输入时钟，从而产生预期的5倍输出频率。在0 - 256个输入周期或 $F_{clk_{in}} / 2$ 输出周期的128个周期内，被驱动为高电平，PLL输出降至 $F_{clk_{in}} / 2$ 。PLL / CPU时钟切换到 $\times 5$ 模式。

开关是同步的，不会产生时钟故障，唯一的影响是，在reset变高后，CPU最多可在前128个周期内缓慢运行。PLL稳定后，计数器将保持清零状态，随后的reset将不会出现这种情况。

如果在没有时钟源的情况下施加全功率，则未使用晶体振荡器的系统可能需要向DSP提供250mA的电流。这种额外的电流是DSP内核的内部逻辑未初始化的结果，在CPU的最少四个内部时钟内，该发生条件将被纠正。晶体振荡器通常不受这种情况的影响，因为在 $CV_{DD} = 1V$ 时，振荡器和内核电路变为半功能，此时故障电流大大降低。备用时钟脉冲也可以施加到EXTCLK或XIN时钟输入引脚。

电源上电顺序注意事项

尽管在 CV_{DD} 和 DV_{DD} 之间存在内部 ESD和CMOS门锁保护二极管，但不能将二极管视为上电时的载流器件。使用外部肖特基二极管来防止 CV_{DD} 超过 DV_{DD} 0.7 V以上。上电期间，该二极管的作用是，如果 CV_{DD} 先上电，即使 DV_{DD} 未上电， DV_{DD} 仍然会有一个二极管电压降。

对于使用同一系列LDO的典型系统，在上电期间，其 DV_{DD} 和 CV_{DD} 会相互跟踪。在大多数情况下，这是可以接受的；但是，如果在上电时引脚状态需要为高阻态时，则可以使用引脚异步禁用所有输出。在这种情况下，不应使用，因为某些信号需要有效的时钟才能使生效，并且该时钟可能尚未激活。内部内核逻辑在约0.8 V时启用，而外部 I/O引脚在约1.5 V时启用。

边沿模式 (EDGEMODE)

当 $EDGEMODE = 1$ 时，对采样的数字延迟线进行解码，使得在中断引脚的下降沿产生脉冲。为确保中断识别，输入信号的逻辑高和逻辑低状态必须比一个CPU时钟周期的同步器延迟更长的时间。在逻辑低电平和逻辑高电平状态下，这些输入必需不少于两个周期。

当 $EDGEMODE = 0$ 时，逻辑低中断引脚会连续设置相应的中断标志。CPU或DMA可以在设置该标志后的两个周期内清除该标志。仅识别一个中断时，这是可以应用的最大中断宽度。CPU可以在中断服务程序 (ISR) 中手动清除IF位，从而有效地延长最大ISR宽度。

复位后， $EDGEMODE$ 被暂时禁用，从而允许使用INT引脚的逻辑低电平检测引导加载操作。

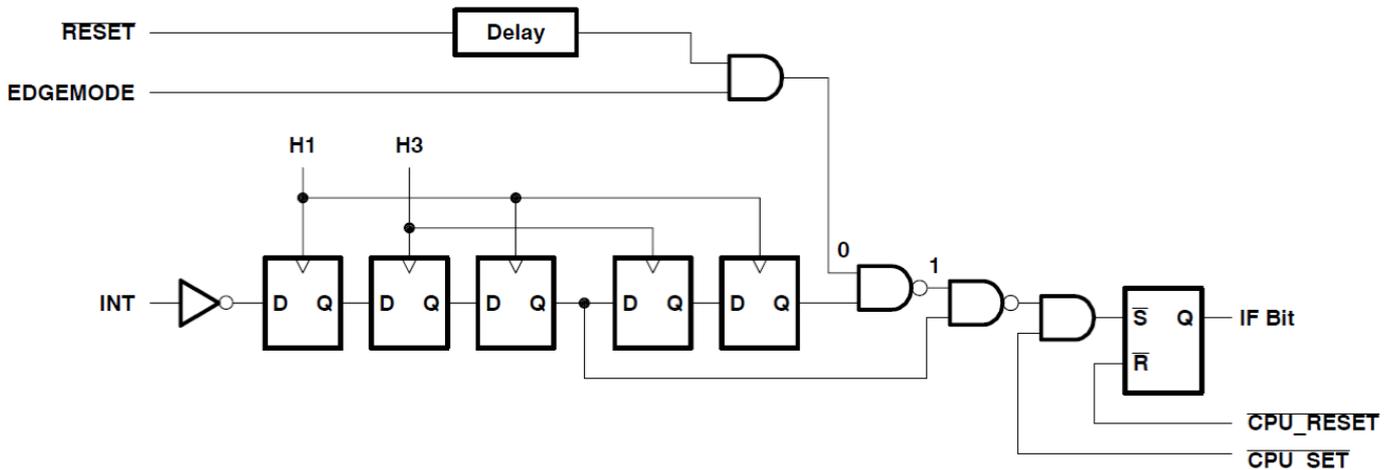


图7 EDGEMODE和中断标志电路

复位操作

应用时，CPU可以安全中断正在进行的任何读取或写入操作。这可能需要多达10个CPU周期，之后，地址、数据和控制引脚将处于静态或高阻态状态。

当同时施加和时，器件的引脚将保持为高阻态，之后进入复位状态。在设置为高电平之前的至少10个CPU周期内禁用。可以在上电期间使用，防止未定义的地址、数据和控制引脚产生系统冲突。

-选择线

为了实现与外部设备简单、高速的连接，CLM320VC33包含了四个预解码的选择引脚，其时序与相同。这些引脚从A22，A23和STRB解码，并且仅在表3所示范围内的外部访问期间才有效。所有外部总线访问均由单个总线控制寄存器控制。

表3 -范围

	起始地址	结束地址
	0x000000	0x3FFFFFF
	0x400000	0x7FFFFFF
	0x800000	0xBFFFFFF
	0xC00000	0xFFFFFFFF

通过引脚使用外部逻辑

设计外部等待状态逻辑的关键是内部总线控制寄存器和相关的内部逻辑，这些逻辑将外部引脚与更快的片上总线控制逻辑进行逻辑组合。这实质上允许缓慢的外部逻辑与总线交互，同时轻松满足输入时序。还需要提及的是，组合的信号在内部H1时钟的上升沿采样。以下示例请参考图8。

例1

只需将地址线与引脚进行AND运算，就可以创建一个简单的0或WTCNT等待状态解码器。当输入的地址为低电平时，总线以0个等待状态运行。当输入地址为高电平时，总线将由内部等待状态计数器控制。

通过启用存储比较逻辑，可以通过在执行下一个存储体的读取之前插入空循环（未预先扩展写操作）来确保正确的操作。外部逻辑也可以使用这些额外的时间来影响反馈路径。

例2

回拨地址线可以创建N-WTCNT最小等待状态解码器，并将其与内部存储比较和等待计数信号进行逻辑或运算。当地址线为低电平时，总线时序由内部WTCNT和BNKCMP设置确定。当地址线为高电平时，只要保持高电平，总线的运行速度就不会比WTCNT计数器快。

例2 (续)

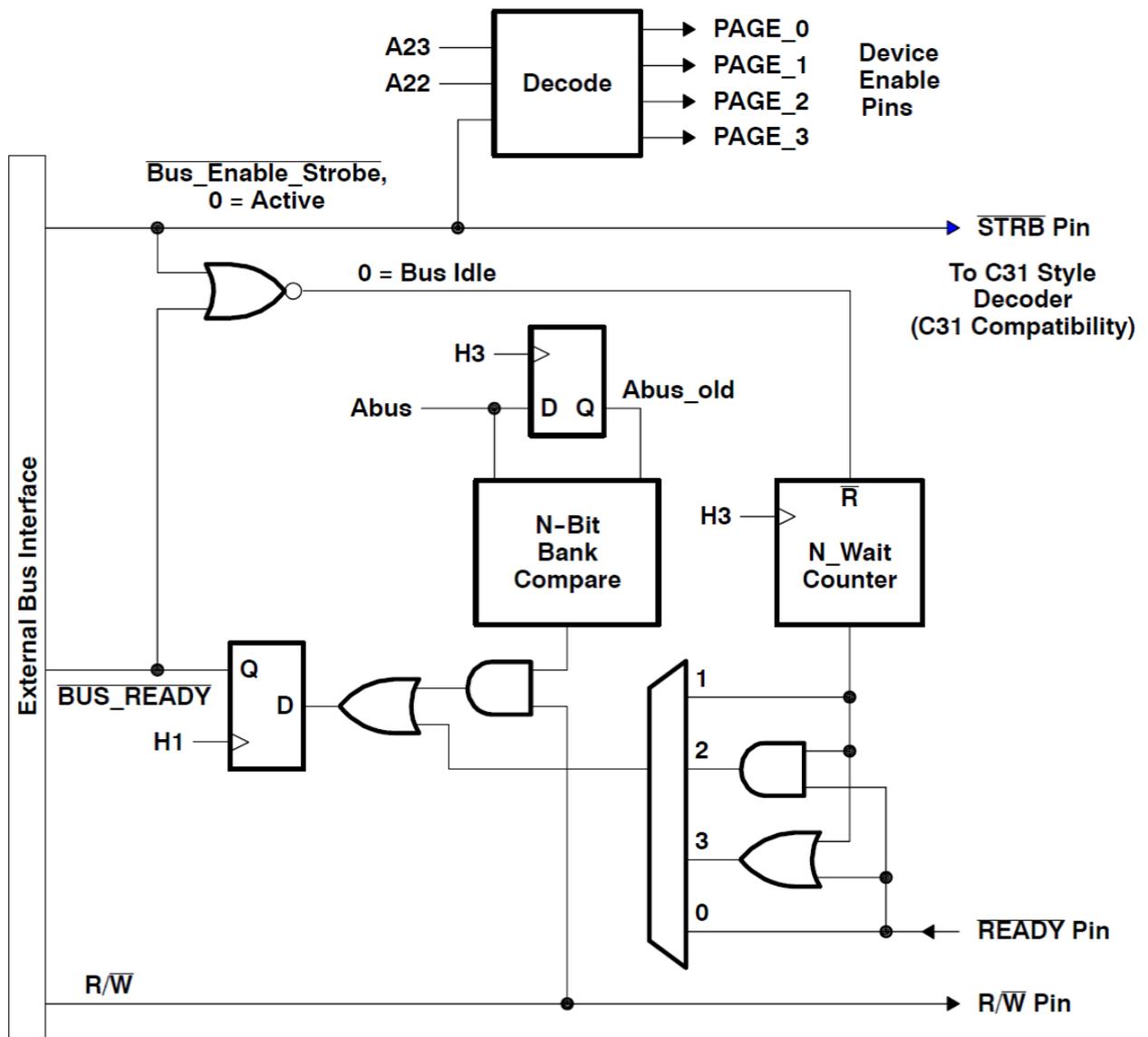


图8 内部Ready逻辑，简化图

例2 (续)

表4 MUX选择 (总线控制寄存器的第4位和第3位)

BIT 4	BIT 3	结果
0	0	忽略内部等待计数器, 仅使用外部
0	1	仅使用内部等待计数器, 而忽略READY引脚
1	0	内部等待计数器与READY引脚逻辑和运算
1	1	内部等待计数器与READY引脚逻辑或运算 (复位为默认值)

写建立

外部写操作有效地“建立”到了总线上, 然后总线充当输出锁存器, 直到写操作完成为止。因此, 如果应用程序代码在内部执行, 则它可以执行非常慢的外部写操作而不会造成任何损失, 因为总线的行为相当于它具有一个一级深度的写FIFO。

数据总线I / O缓冲器

当DSP或外部器件未主动驱动总线时, 图9所示的电路被集成到每个数据引脚中, 以“保持”最后一个驱动值。每个总线保持器均由具有15kΩ标准输出电阻的三态驱动器构建, 该驱动器以正反馈配置反馈到输入。电阻隔离驱动器沿一个方向或另一个方向拉动输出, 保持最后的驱动值。该电路在所有功能模式下均可启用, 并且仅在低电平时禁用。

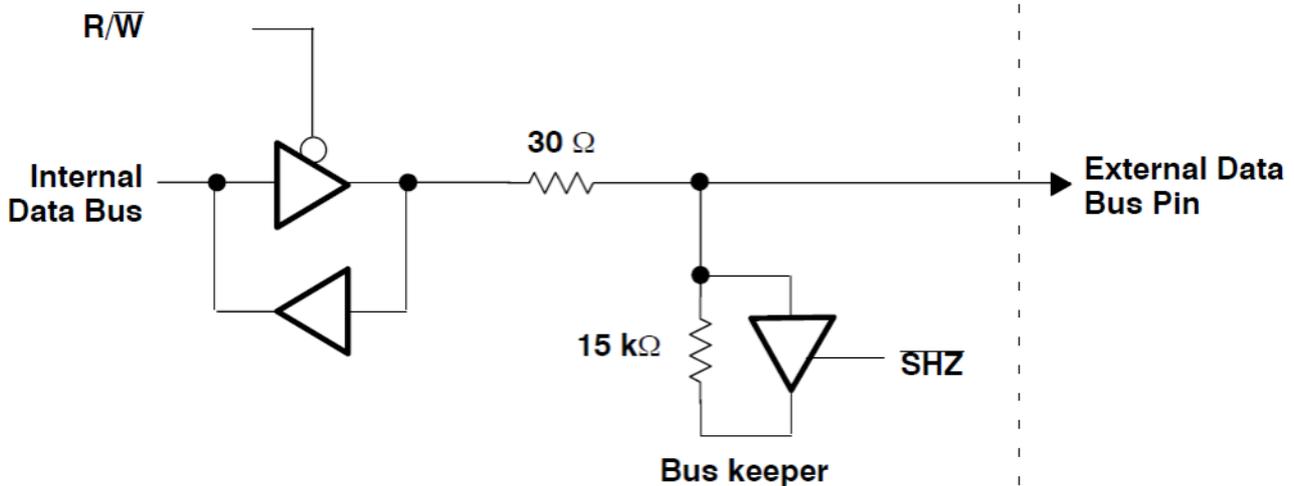


图9 总线保持器电路

要使外部器件更改这些引脚的状态, 它必须能够驱动小的直流电流, 直到超过驱动器阈值为止。在阈值临界点, 驱动器更改引脚状态, 与外部驱动器达成一致并协助进行更改。总线保持器的电压阈值约为 DV_{DD} 电源电压的50%。CLM320VC33 所有I / O引脚的典型输出阻抗为30Ω, 很容易满足这一要求。

引导模式 (bootloader) 操作

当MCBL / = 1时, 内部ROM被解码到0x000000 - 0x000FFF的地址范围。因此, 复位时, 将在内部ROM程序和向量空间内开始执行。在启用引导选项之一之前, 不会有明显的外部活动。可通过将外部中断引脚拉低来启用这些选项, 然后由boot-load软件检测外部中断引脚, 从而执行特定的例程 (请参见表5)。

bootloader操作 (续)

表5 -源

启用中断	从中读取BOOT数据的地址/源	数据格式
	0x001000	8、16或32位宽度
	0x400000	8、16或32位宽度
	0xFFFF00	8、16或32位宽度
	串行端口	32位，外部时钟和帧同步

当MCBL / = 1时，复位和中断向量在内部ROM中进行硬编码。由于这是只读器件，因此无法修改这些向量。为了启用户定义的中断例程，内部向量需包含固定值，这些固定值指向从0x809FC1开始的SRAM内的部分。代码从这些位置开始执行，因此将分支指令（到中断例程）放置在这些位置是很重要的，而不是向量。

bootloader程序的调用和返回需要较小的堆栈空间。该堆栈使用0x809800和0x809801上的两个SRAM单元。不应将数据引导加载到这些位置，因为这会损坏引导加载程序运行时的堆栈。引导加载操作完成后，程序可以收回这些位置。最简单的解决方案是从0x809800开始堆栈或未初始化的数据段。

有关包括引导程序源代码在内的引导模式操作的更多详细信息，请参见《CLM320C3x用户指南》（文献编号SPRU031）。

引导加载完成后，可以使用数据I / O口或外部逻辑来安全地禁用MCBL模式。但是，为了确保器件的正常运行，CPU不应在执行代码或使用外部数据时进行更改。在下面的示例中，XF0引脚在复位时为三态，通过上拉电阻将DSP置于MCBL模式。然后，将以下代码放在应用程序的开头，使XF0引脚变为逻辑低电平有效输出，从而将DSP的模式更改为MP模式。启用缓存和RPTS指令，会导致LDI指令执行多次，即使该指令仅被提取一次（在模式更改之前）。换句话说，RPTS指令用作外部执行代码的一级深度程序缓存。如果要从内部RAM执行应用程序代码，则无需特殊规定。

```
LDI    8000h, ST    ; Enable the cache
RPTS   4           ; RPTS fetchs the following opcode 1 time
LDI    2h, IOF     ; Drive MCBL/MP=0 for several cycles allowing
                  ; the pipeline to clear
```

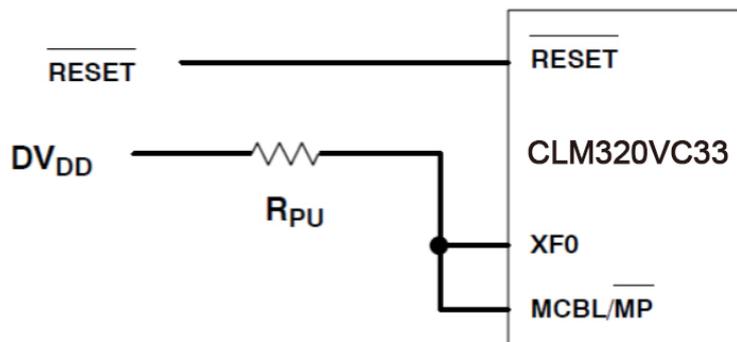


图10 更改引导加载选择引脚

JTAG仿真

CLM320VC33仅包含一个JTAG调试端口，该端口允许将多路JTAG使能芯片以 daisy-chain 方式连接，但不支持引脚的边界扫描。如果选择了引脚扫描路径，它将通过长度为1的空寄存器进行传输。有关仿真接口的其他信息，请参见《JTAG / MPD仿真技术参考》（文献编号SPDU079）。

设计目标系统的仿真连接器（14针接头）

JTAG目标器件通过专用仿真端口支持仿真。该端口是IEEE 1149.1标准设置，可由仿真器访问。为了与仿真器进行通信，目标系统必须具有14针的接头（两行，每排七个引脚），其连接如图11所示。表6描述了仿真信号。

TMS	1	2	TRST	连接器尺寸： 引脚与引脚间距，0.100英寸（X，Y） 引脚宽度：0.025英寸。 引脚长度：0.235英寸。
TDI	3	4	GND	
PD (V _{CC})	5	6	no pin (key) [†]	
TDO	7	8	GND	
TCK_RET	9	10	GND	
TCK	11	12	GND	
EMU0	13	14	EMU1	

[†] 应将电连接器插入对应的母头位置，以防止不正确的连接，引脚6的引线应接地，如本文档中的示意图和接线图所示。

图11 14针接头信号和连接尺寸

表6 14针头信号描述

信号	描述	仿真器状态 [†]	触发状态 [†]
CLM [‡]	测试模式选择。	O	I
TDI	测试数据输入。	O	I
TDO	测试数据输出。	I	O
TCK	测试时钟。TCK是仿真盒的10.368 MHz时钟源。该信号可用于驱动系统测试时钟。	O	I
‡	测试复位。	O	I
EMU0 ^{§¶}	仿真引脚0。	I	I/O
EMU1 ^{§¶}	仿真引脚1。	I	I/O
PD(V _{CC})	存在检测。指示已连接仿真电线，并且目标已通电。PD应该与目标系统中的V _{CC} 连接。	I	O
TCK_RET	测试时钟返回。测试输入到仿真器的时钟。可能是TCK的缓冲版本或非缓冲版本。	I	O
GND	地。		

[†] I = 输入；O = 输出

[‡] 对TRST使用1 - 50K电阻下拉。请勿对使用上拉电阻：它是具有内部下拉器件。在低噪声环境中，可以悬空。在高噪声环境中，可能需要额外的下拉电阻。（此电阻的大小应基于电流考虑。）

[§] 对CLM，EMU0和EMU1使用1 - 50K上拉电阻。

[¶] EMU0和EMU1的I / O驱动程序被配置为漏极开路（open-collector）驱动程序。它们用作仿真时启动和停止的双向信号。

设计目标系统的仿真连接器（14针接头连接器）（续）

尽管可以使用其他连接器，但建议使用以下部分：

直头，无罩 DuPont Connector Systems；

零件编号：65610 - 114

65611 - 114

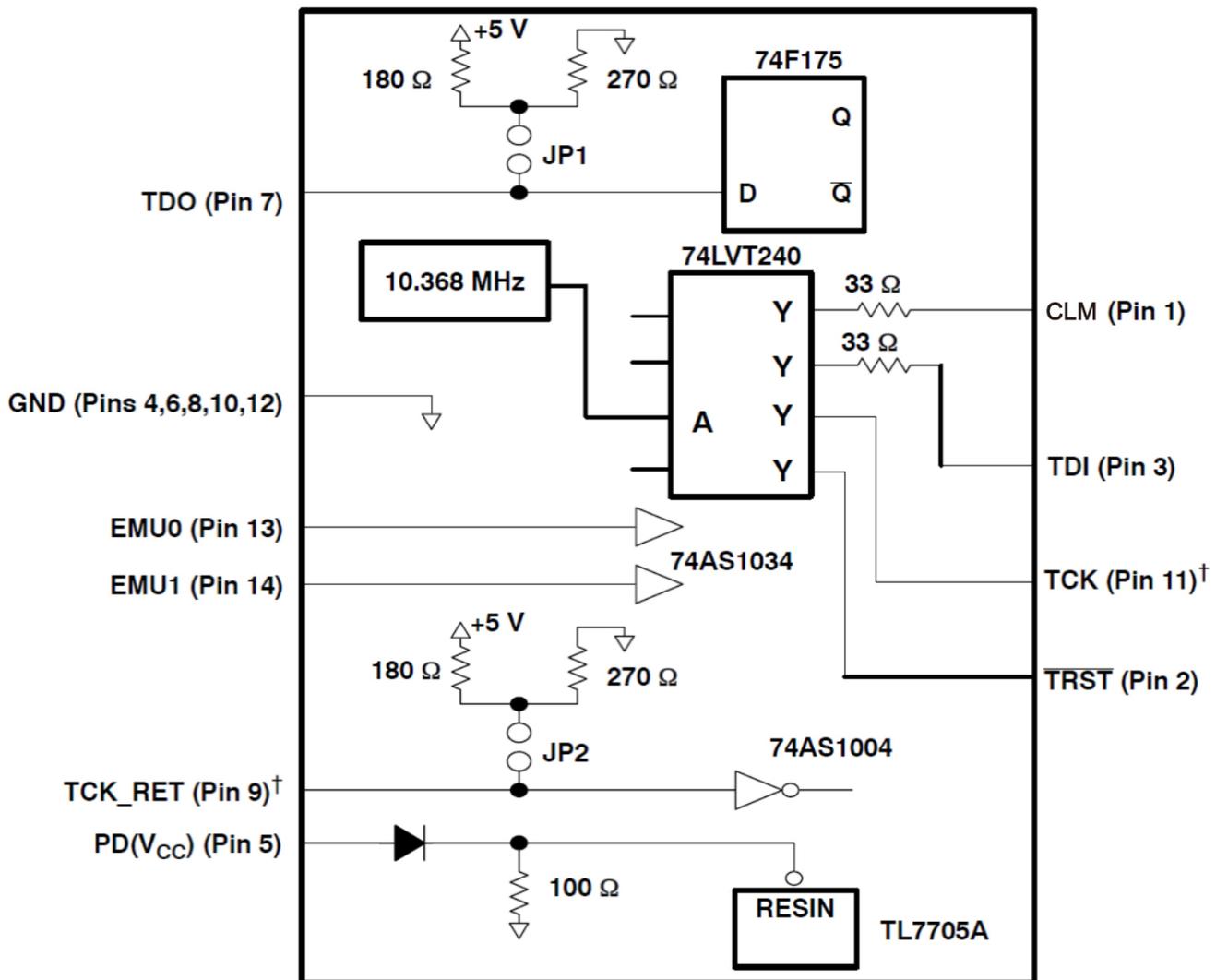
67996 - 114

67997 - 114

JTAG仿真电连接盒逻辑

图12显示了仿真器电连接盒的一部分。该盒的功能如下：

- 如果应用程序需要，信号TDO和TCK_RET可以在盒内以并行的方式进行端口的连接。默认情况下，这些信号不会终止。
- 信号TCK由74LVT240器件驱动。由于采用大电流驱动（32mA_{IOL} / I_{OH}），因此该信号可以以并行的方式进行端口的连接。如果将TCK连接到TCK_RET，则可以使用盒中的并行终止器。
- 根据IEEE 1149.1总线中器件时序规则，可以从TCK_RET的下降沿生成信号CLM和TDI。
- 信号CLM和TDI串联以减少信号反射。
- 提供了一个10.368 MHz测试时钟源。也可使用自己提供的测试时钟，以获得更大的灵活性。



† 为了内部同步，仿真盒使用 TCK_RET 作为其时钟源。TCK 被提供作为可选的目标系统测试时钟源。

图12 JTAG仿真器电缆盒接口

符号化和速度等级

器件版本可以通过封装顶部标记的批次跟踪代码来确定。PGE封装的批次跟踪代码的位置如图13所示。

CLM320VC33器件的额定峰峰值以MFLOPS表示，可订购器件号的后缀如表8所示。图13显示了PGE封装上的器件符号。常规的“CLM320VC33”符号默认为该器件的最低速度额定值（120 MFLOPS）。150-MFLOPS器件在封装的右上角带有“150”标记。VC33 CPU指令速率为MFLOPS / 2。

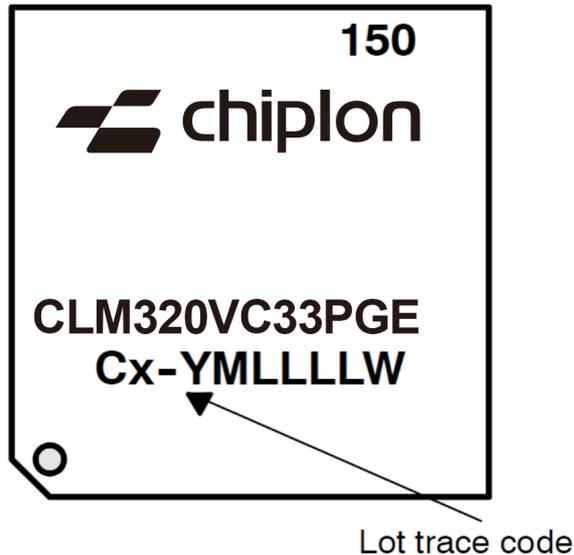


图13 PGE封装（俯视图）

表7 CLM320VC33 DSP（PGE）的典型批次跟踪代码示例

批次跟踪码	修订版	注释
Blank (前缀无字母)	1.0	CLM320VC33
A (前缀字母为 A)	1.1	CLM320VC33
B (前缀字母为B)	1.2	CLM320VC33
C (前缀字母为C)	1.3	CLM320VC33

表8 设备可订购的部件号

器件	速度 (MFLOPS)	温度范围
CLM320VC33PGE120	120	0°C ~ 90°C
CLM320VC33PGEA120	120	-40°C ~ 100°C
CLM320VC33PGE150	120	0°C ~ 90°C

设备和开发支持工具的术语

为了指定产品开发周期的阶段，Chiplon为所有CLM320™DSP系列器件和支持工具分配了前缀。每个CLM320™DSP系列产品均具有以下三个前缀之一：TMX，TMP或CLM。启珑微电子（Chiplon）建议在其支持工具中使用三个前缀名称中的两个：TMDX和TMDS。这些前缀代表了产品开发从工程原型（TMX / TMDX）到完全合格的器件/工具（CLM / TMDS）的发展阶段。此开发流程定义如下。

器件开发的发展流程：

- TMX 实验器件，不具有最终器件的电气规范。
- TMP 最终硅裸片，符合电气规范，但是尚未完成质量和可靠性验证。
- CLM 完全合格的生产器件。

支持工具开发的发展流程：

- TMDX 尚未完成启珑微电子内部资格测试的开发支持产品。
- TMDS 完全合格的开发支持产品

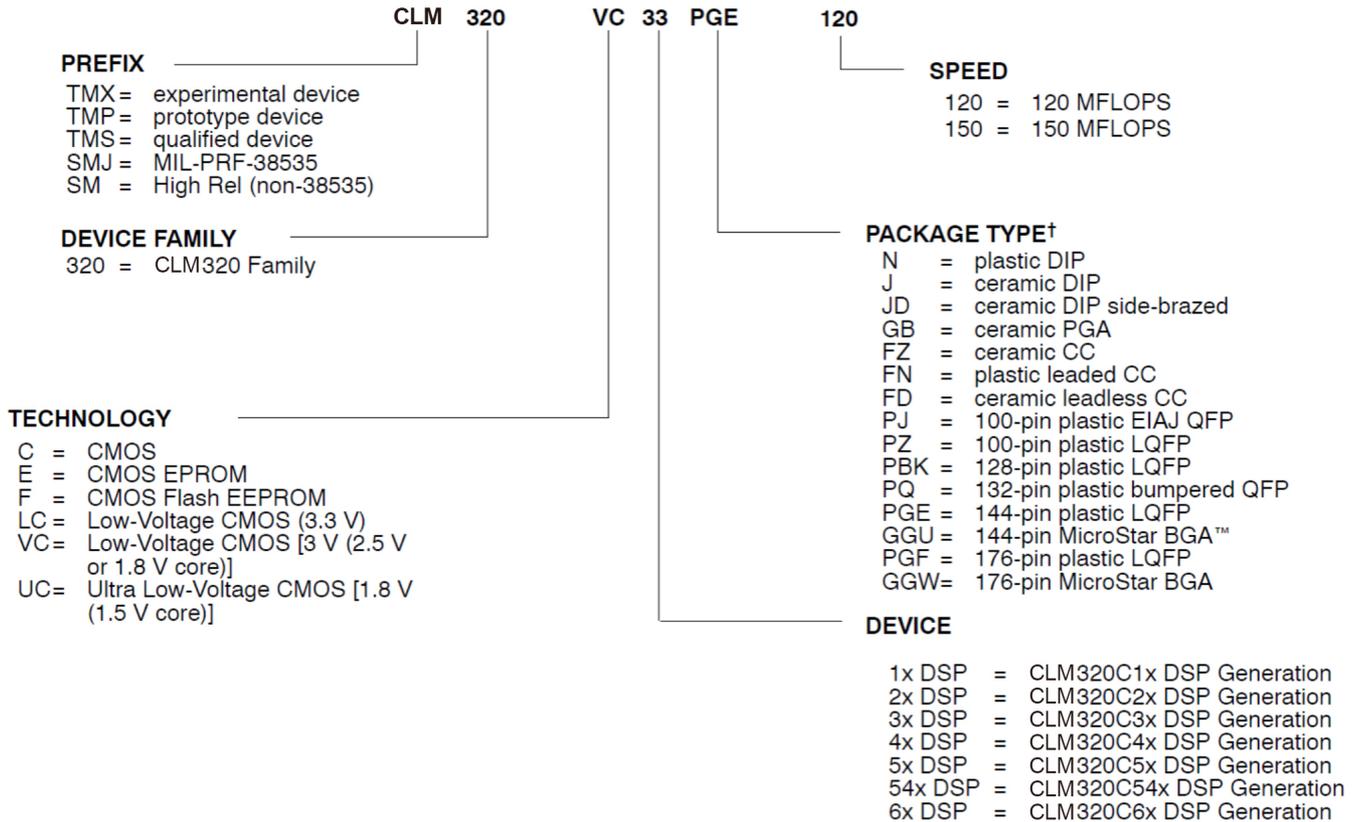
TMX和TMP器件以及TMDX开发支持工具附带以下免责声明：“开发产品旨在用于内部评估”。

CLM器件和TMDS开发支持工具已经得到充分表征，并且已经充分证明了该器件的质量和可靠性。Chiplon的标准保证了它们的应用。

预测表明，原型器件（TMX或TMP）比标准生产器件具有更高的故障率。启珑微电子（Chiplon）建议不要在任何系统中使用这些器件，因为它们的最终用途故障率仍然不确定。尽量使用合格的器件。

Chiplon器件的术语还包括带有器件系列名称的后缀。此后缀表示封装类型（例如PZ，PGE，PBK或GGU）和温度范围（例如L）。图14提供了示例，可用于读取任何CLM320™DSP系列产品的完整器件名称。

设备和开发支持工具的术语 (续)



† DIP = 双列直插式封装

PGA = 引脚网格阵列

CC = 芯片载体

QFP = 四方扁平包装

LQFP = 薄型四方扁平封装

BGA = 球栅阵列

图14 CLM320™ DSP器件名称

指定温度范围内的绝对最大额定值 (除非另有说明) †

电源电压范围, DV_{DD}^{\dagger}	-0.3 V to 4 V
电源电压范围, CV_{DD}^{\dagger}	-0.3 V to 2.4 V
输入电压范围, V_I^{\S}	-1 V to 4.6 V
输出电压范围, V_O	-0.3 V to 4.6 V
持续功耗 (最坏的情况) †	500 mW (对于 CLM320VC33-150)
工作温度范围, TC (PGE - 商业)	0°C to 90°C
TC (PGEA - 工业)	-- 40°C to 100°C
储存温度范围, T_{stg}	-- 55°C to 150°C

† 超出参数的绝对最大额定值可能会导致设备永久损坏。器件在这些或任何其他条件 (超出“推荐工作条件”中指示的条件) 下的功能运行并不被推荐。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

‡ 所有电压值均以 V_{SS} 为参考。

§ 绝对直流输入电平不应超过 DV_{DD} 或 V_{SS} 电源 0.3V。瞬时电流需小于 2ns、小于 10mA，瞬时脉冲幅度应小于 1V。

†† 实际运行功率要低得多。该值是在 CLM320VC33 的最坏测试条件下获得的，该条件在器件正常操作期间无法维持。这些条件包括以最大的速率在 30pF 的电容负载下连续并行写入阵列到外部数据和地址总线。请参阅电气特性表中的正常 (ICC) 电流规范，并阅读《CLM320C3x通用应用程序用户指南》(文献编号SPRU194)。

推荐工作条件##||

		最小值	典型值	最大值	单位
CV_{DD}	内核CPU的电源电压☆	1.71	1.8	1.89	V
DV_{DD}	I / O引脚的电源电压□	3	3.3	3.6	V
V_{SS}	地。		0		V
V_{IH}	高电平输入电压	$0.7 * DV_{DD}$		$DV_{DD}+0.3^{\S}$	V
V_{IL}	低电平输入电压	-0.3^{\S}		$0.7 * DV_{DD}$	V
I_{OH}	高电平输出电流			4	mA
I_{OL}	低电平输出电流			4	mA
T_C	工作温度 (商业)	0		90	°C
	工作温度 (工业)	-40		100	
C_L	每个输出引脚的电容负载			30	pF

‡ 所有电压值均以 V_{SS} 为参考。

§ 绝对直流输入电平不应超过 DV_{DD} 或 V_{SS} 电源 0.3V。瞬时电流需小于 2 ns、小于 10 mA，瞬时脉冲幅度应小于 1V的。

所有输入和 I / O 引脚均配置为输入。

|| 除和 D0 - D31 外，所有输入和 I / O 引脚均使用施密特迟滞输入，迟滞约为 DV_{DD} 的 10%，并以 $0.5 * DV_{DD}$ 为中心。

☆ CV_{DD} 不应超过 DV_{DD} 0.7 V 以上。(在这些电源之间使用肖特基二极管。)

□ DV_{DD} 不应超过 CV_{DD} 2.5 V。

电气特性电源电压范围超出推荐范围（除非另有说明）†

参数		测试条件‡			最小值	典型值§	最大值	单位
V _{OH}	高电平输出电压	DV _{DD} = MIN, I _{OH} = MAX			2.4			V
V _{OL}	低电平输出电压	DV _{DD} = MIN, I _{OL} = MAX					0.4	V
I _Z	高阻抗电流	DV _{DD} = MAX			-5		+5	μA
I _I	输入电流	V _I = V _{SS} ~ DV _{DD}			-5		+5	μA
I _I PU	输入电流（带内部上拉）	带内部上拉的输入†			-600		10	μA
I _I PD	输入电流（带内部下拉）	带内部下拉的输入†			600		-10	μA
I _{BKU}	输入电流（带总线保持器）上拉#	总线保持直到条件匹配			-600		10	μA
I _{BKD}	输入电流（带总线保持器）下拉#				600		-10	μA
I _{DDD}	电源电流，多引脚 *	TC = 25°C, DV _{DD} = MAX	f _X = 60 MHz	VC33-120		20	120	mA
			f _X = 75 MHz	VC33-120		25	150	
I _{DDC}	电源电流，内核CPU *	TC = 25°C, DV _{DD} = MAX	f _X = 60 MHz	VC33-120		50	80	mA
			f _X = 75 MHz	VC33-120		60	100	
I _{DD}	IDLE 2, 电源电流, IDDD加上IDDC	启用PLL, 启用振荡器				2		mA
		禁用PLL, 使能振荡器				500		
		PLL禁用, 振荡器禁用, FCLK = 0				100		
C _i	输入电容	除XIN外的所有输入					10	mA
		XIN					10	
C _o	输出电容						10	pF

† 所有电压值均以V_{SS}为参考。

‡ 对于显示为MIN, MAX或NOM的测试条件, 请使用推荐工作条件表中指定的典型值。

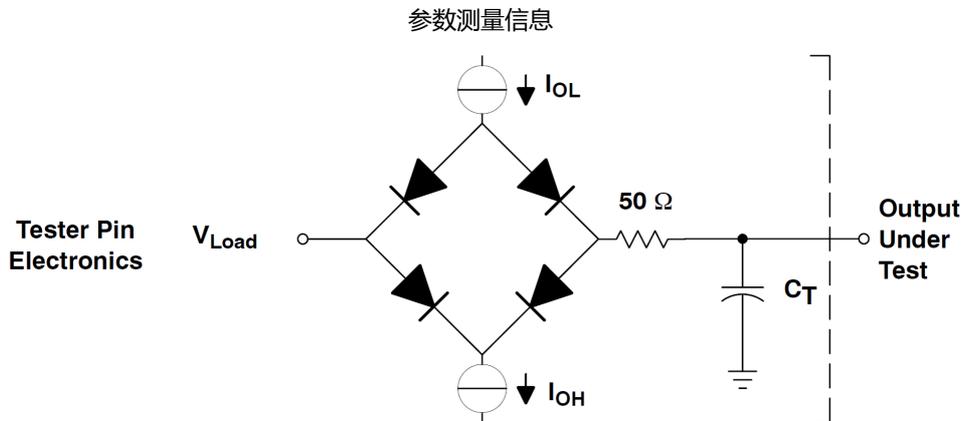
§ 对于VC33, 所有典型值均为DV_{DD} = 3.3V, CV_{DD} = 1.8 V, T_C (外壳温度) = 25°C时。

† 具有内部上拉器件的引脚: TDI, TCK和CLM。带内部下拉装置的引脚: 。

引脚D0 ~ D31包含内部总线保持器, 当不驱动总线时, 它们保持有效的逻辑电平(见图9)。

|| 实际运行功率要低得多。该值是在CLM320VC33的最坏测试条件下获得的, 该条件在器件正常操作期间无法维持。这些条件包括以最大的速率在30pF的电容负载下连续并行写入阵列到外部数据和地址总线。请参阅电气特性表中的正常(ICC)电流规范, 并阅读《CLM320C3x通用应用程序用户指南》(文献编号SPRU194)。

☆ f_X是PLL输出时钟频率。



此处: I_{OL} = 4mA (所有输出), 用于直流电平测试。

在交流时序分析期间, I_o和I_{oH}被调整以实现50Ω的端接直流电流。

$$V_{LOAD} = DV_{DD} / 2$$

$$C_T = 40pF \text{ 典型负载电路电容}$$

图15 测试负载电路

时序参数符号

此处使用的时序参数符号是根据JEDEC标准100创建的。为了缩短符号，除非另有说明，否则某些引脚名称和其他相关术语使用如下缩写：

小写下标及其含义		字母和符号及其含义	
a	访问时间	H	高
c	循环时间	L	低
d	延迟时间	V	有效
dis	禁用时间	Z	高阻态
en	启用时间		
f	下降时间		
h	保持时间		
r	上升时间		
su	建立时间		
t	过度时间		
v	有效时间		
w	脉冲持续时间 (宽度)		
x	未知，正在更改或不在乎的级别		

附加符号及其含义

A	地址线 (A23 - A0)	H	H1 and H3
ASYNCH	异步复位信号 (XF0, XF1, CLKX0, DX0, FSX0, CLKR0, DR0, FSR0, TCLK0, TCLK1)	HOLD	
CLKX	CLKX0	HOLDA	
CLKR	CLKR0	IACK	
CONTRO	控制信号	INT	-
L			
D	数据线(D31 - D0)	PAGE	-
DR	DR	RDY	
DX	DX	RW	R/
EXTCLK	EXTCLK	RW	R/
FS	FSX/R	RESET	
FSX	FSX0	S	
FSR	FSR0	SCK	CLKX/R
GPI	通用输入	SHZ	
GPIO	通用输入/输出；外设引脚 (CLKX0 , CLKR0 , DX0 , DR0 , FSX0 , FSR0 , TCLK0和TCLK1)	TCLK	TCLK0, TCLK1, or TCLKx
GPO	通用输出	XF	XF0, XF1, or XFx
H1	H1	XF0	XF0
H3	H3	XF1	XF1
		XIN	XIN

锁相环 (PLL) 电路时序

使用EXTCLK或片上晶体振荡器的锁相环在推荐工作条件下的开关特性†

参数		最小值	最大值	单位
$F_{pll\text{in}}$	频率范围, PLL输入	5	15	MHz
$F_{pll\text{out}}$	频率范围, PLL输出	25	75	MHz
I_{pll}	PLL电流, CV_{DD} 电源		2	mA
P_{pll}	PLL电源, CV_{DD} 电源		5	mW
PLL_{dc}	H1的PLL输出占空比	45	55	%
$PLLJ$	PLL输出抖动, $F_{pll\text{out}} = 25 \text{ MHz}$		400	ps
PLL_{LOCK}	输入周期中的PLL锁定时间		1000	cycles

† 占空比定义为 $100 * t_1 / (t_1 + t_2) \%$

为了确保整齐的内部参考时钟, 必须保持最小的高低电平脉冲持续时间。在高频下, 可能需要加大上升和下降时间以及严格控制占空比。在低频下, 这些要求的限制较少 (一倍频和二分频模式)。但是, PLL的输入占空比必须在40%到60%之间才能正常工作。

时钟电路时序

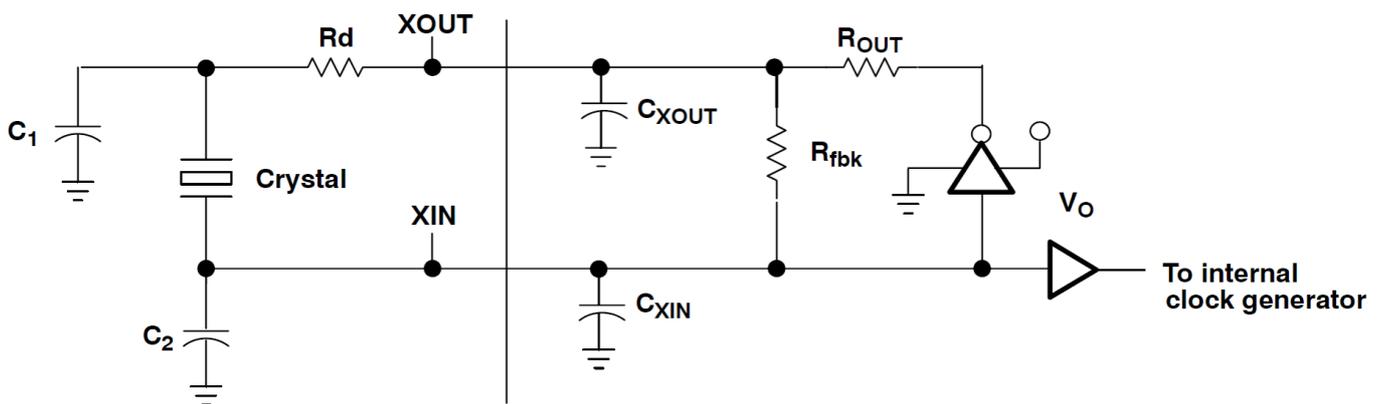
下表定义了时钟电路信号的时序参数。

片内晶体振荡器在推荐工作条件下的开关特性[†] (见图16)

		最小值	典型值	最大值	单位
V_O	振荡器内部电源电压		CV_{DD}		V
F_O	基本模式频率范围	1		20	MHz
V_{bias}	直流偏置点 (输入阈值)	40	50	60	% V_O
R_{fbk}	反馈电阻	100	300	500	k Ω
R_{out}	小信号交流输出阻抗	250	500	1000	Ω
V_{xoutac}	带测试晶振的交流输出电压 [‡]		85		% V_O
V_{xinac}	带测试晶振的交流输入电压 [‡]		85		% V_O
V_{xoutl}	$V_{xin} = V_{xinh}$, $I_{xout} = 0$, $F_O = 0$ (逻辑输入)	$V_{SS} - 0.1$		$V_{SS} - 0.3$	V
V_{xouth}	$V_{xin} = V_{xinl}$, $I_{xout} = 0$, $F_O = 0$ (逻辑输入)	$CV_{DD} - 0.3$		$CV_{DD} + 0.1$	V
V_{inl}	当用于逻辑电平输入时, 启动振荡器	-0.3		$0.2 * V_O$	V
V_{inh}	当用于逻辑电平输入时, 启动振荡器	$0.8 * V_O$		$DV_{DD} + 0.3$	V
V_{xinh}	当用于逻辑电平输入时, 禁用振荡器	$0.7 * DV_{DD}$		$DV_{DD} + 0.3$	V
C_{xout}	XOUT内部负载电容	2	3	5	pF
C_{xin}	XIN内部负载电容	2	3	5	pF
$t_d(XIN-H1)$	延迟时间, XIN至H1 (x1和x0.5模式下)	2	5.5	8	ns
I_{inl}	输入电流, 启用反馈, $V_{il} = 0$			50	μA
I_{inh}	输入电流, 启用反馈, $V_{il} = V_{ih}$			-50	μA

[†] 该电路用于串联谐振基本操作模式。

[‡] 信号幅度取决于所使用的晶振和负载。



注A: 关于 R_d 的值, 请参见表2。

图16 片内振荡器电路

时钟电路时序 (续)

下表定义了EXTCLK的时序要求和开关特性。

所有模式下，EXTCLK的时序要求 (见图17和图18)。

		最小值	最大值	单位	
$t_{r(EXTCLK)}$	上升时间, EXTCLK	$F = F_{max}$, x0.5 and x1 modes	1	ns	
		$F < F_{max}$	4		
$t_{f(EXTCLK)}$	下降时间, EXTCLK	$F = F_{max}$, x0.5 and x1 modes	1	ns	
		$F < F_{max}$	4		
$t_{w(EXTCLK)}$	脉冲持续时间, EXTCLK为低电平	x5 mode	21	ns	
		x1 mode	5.5		
		x0.5 mode	4.0		
$t_{w(EXTCLK)}$	脉冲持续时间, EXTCLK为高电平	x5 mode	21	ns	
		x1 mode	5.5		
		x0.5 mode	4.0		
$t_{dc(EXTCLK)}$	占空比, EXTCLK [$t_{w(EXTCLKH)}/t_{c(H)}$]	x5 PLL mode	40	60	%
		x1 and x0.5 modes, $F = max$	45	55	
		x1 and x0.5 modes, $F = 0 Hz$	0	100	
$t_c(EXTCLK)$	周期时间, EXTCLK, VC33-120	x5 mode	83.3	200	ns
		x1 mode	16.7		
		x0.5 mode	10		
	周期时间, EXTCLK, VC33-150	x5 mode	66.7		
		x1 mode	13.3		
		x0.5 mode	10		
F_{ext}	频率范围1 / $t_c(EXTCLK)$, VC33-120	x5 mode	5	12	MHz
		X1 mode	0	60	
		X0.5 mode	0	100	
	频率范围1 / $t_c(EXTCLK)$, VC33-150	x5 mode	5	15	
		x1 mode	0	75	
		X0.5 mode	0	100	

所有模式下，EXTCLK 在推荐工作条件下的开关特性 (见图17和图18)

参数		最小值	典型值	最大值	单位	
V_{mid}	中级, 用于测量占空比		$0.5 * DV_{DD}$		V	
$t_{d(EXTCLK-H)}$	延迟时间, EXTCLK to H1 and H3	x1 mode	2	4.5	7	ns
		x0.5 mode	2	4.5	7	
$t_{r(H)}$	上升时间, H1和H3			3	ns	
$t_{f(H)}$	下降时间, H1和H3			3	ns	
$t_{d(HL-HH)}$	延迟时间, 从H1低到H3高或从H3低到H1高	-1.5		1.5	ns	
$t_{c(H)}$	周期时间, H1和H3	5倍频 PLL 模式		$1 / (5 * f_{ext})$	ns	
		1倍频模式		$1 / f_{ext}$		
		二分频模式		$2 / f_{ext}$		

时钟电路时序 (续)

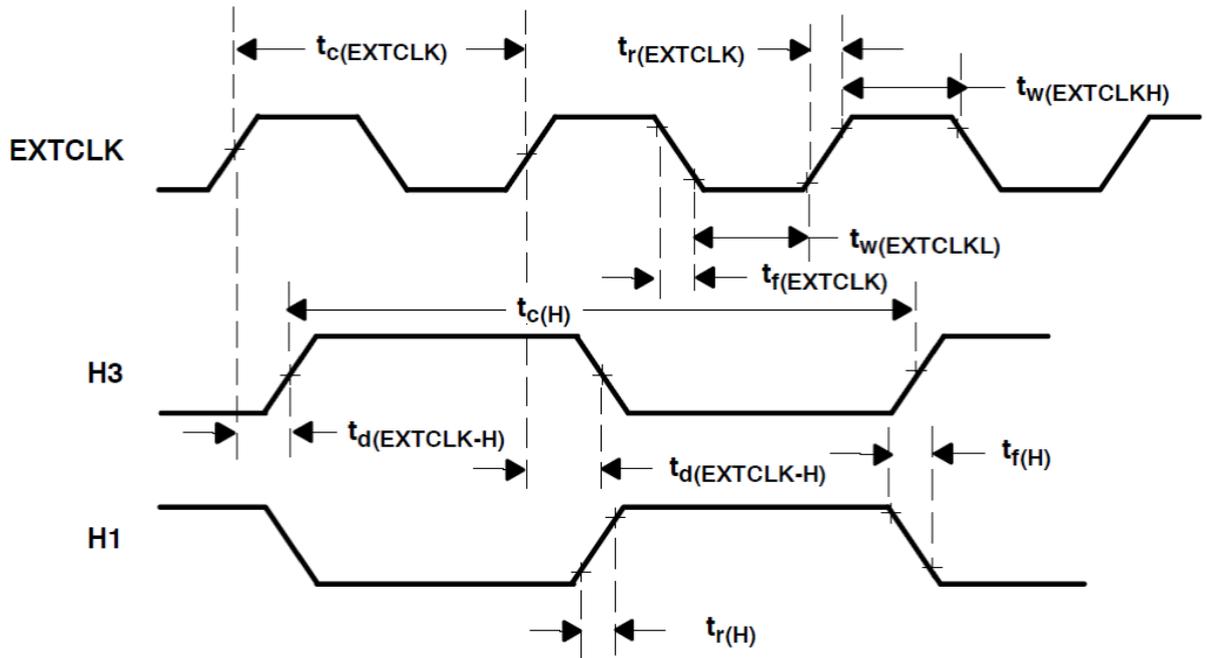
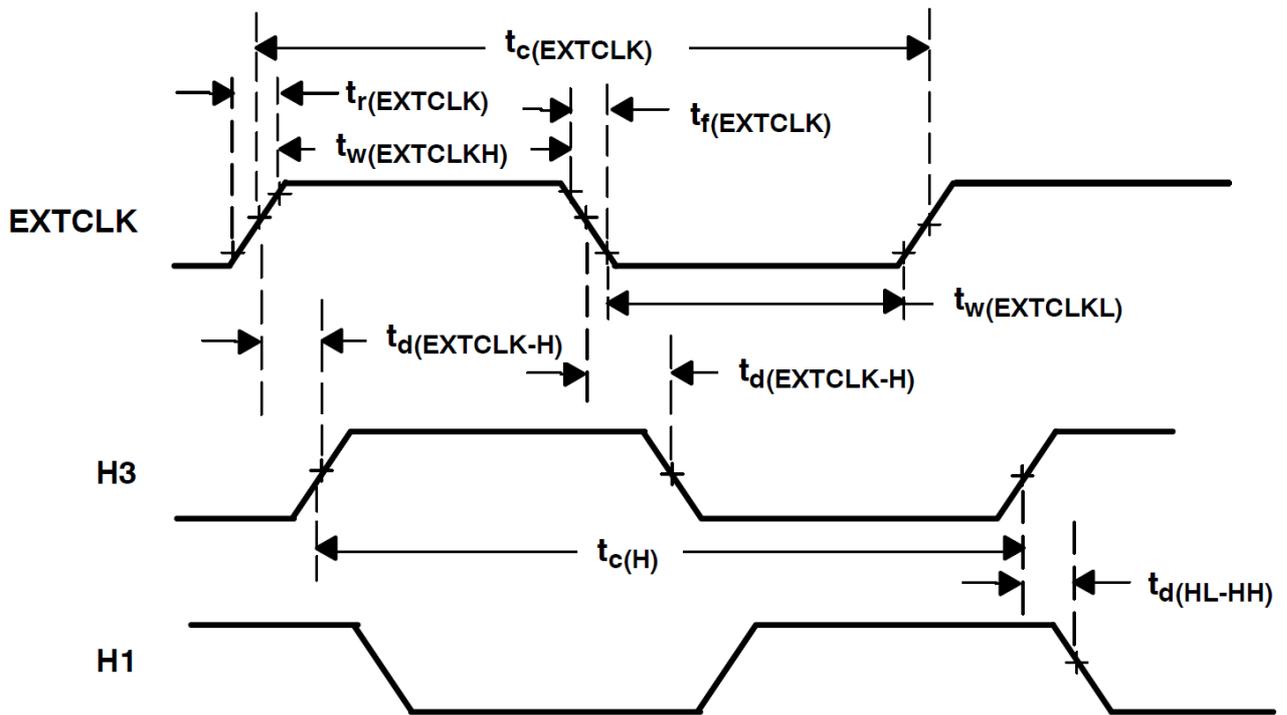


图17 二分频模式



注A：EXTCLK保持低电平。

图18 分频模式

存储器读/写时序

下表定义了存储器读/写时序参数。

存储器读/写的时序要求[†] (请参见图19, 图20和图21)。

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su(D-H1L)R}$	建立时间, H1之前的数据为低 (读取时)	5		5		ns
$t_{h(H1L-D)R}$	保持时间, H1之后的数据为低 (读取时)	-1		-1		ns
$t_{su(RDY-H1H)}$	建立时间, H1之前为高。	5		4		ns
$t_{h(H1H-RDY)}$	保持时间, H1之后为高。	-1		-1		ns
$t_{d(A-RDY)}$	延迟时间, 对地址有效		P - 7 [‡]		P - 6 [‡]	ns
$t_{v(A-D)}$	有效时间, 地址 PAGE _x 或 STRB有效至数据有效	0 等待状态, CL = 30 pF		9	6	ns
		1 等待状态		$t_{c(H)} + 9$	$t_{c(H)} + 6$	ns

[†] 假定这些时序是在所有引脚上负载均等效于30 pF条件下测得的。

[‡] P = $t_{c(H)} / 2$ (当占空比等于50%时)。

在推荐工作条件下对存储器进行读/写操作时的开关特性[†] (参见图19, 图20和图21)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{d(H1L-SL)}$	延迟时间, H1 low to low	-1	4	-1	3	ns
$t_{d(H1L-SH)}$	延迟时间, H1 low to high	-1	4	-1	3	ns
$t_{d(H1H-RWL)W}$	延迟时间, H1 high to R/ low (write)	-1	4	-1	3	ns
$t_{d(H1L-A)}$	延迟时间, H1 low to address valid	-1	4	-1	3	ns
$t_{d(H1H-RWH)W}$	延迟时间, H1 high to R/ high (write)	-1	4	-1	3	ns
$t_{d(H1H-A)W}$	延迟时间, 在一个写循环周期内H1为高, 地址有效 (写)	-1	4	-1	3	ns
$t_{v(H1L-D)W}$	有效时间, Data after H1 low (write)		6		5	ns
$t_{h(H1H-D)W}$	保持时间, Data after H1 high (write)	0	5	0	5	ns

[†] 假定这些时序是在所有引脚上负载均等效于30 pF条件下测得的。

高速和低速 (低噪声) 输出缓冲器的输出负载特性如图19所示。高速缓冲器用于A0 - A23, - , H1, H3, 和

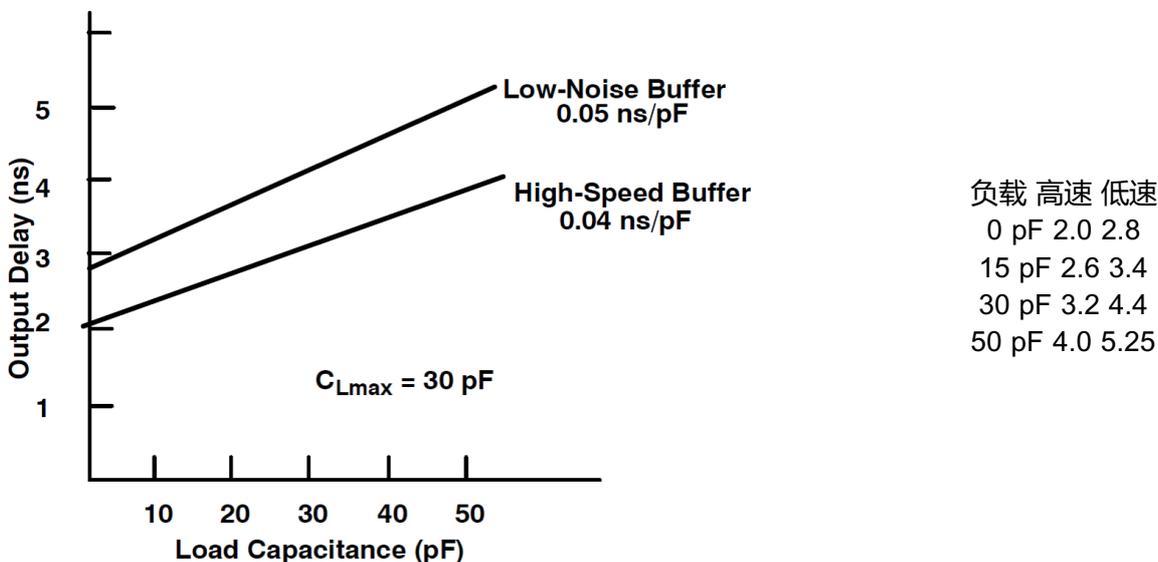
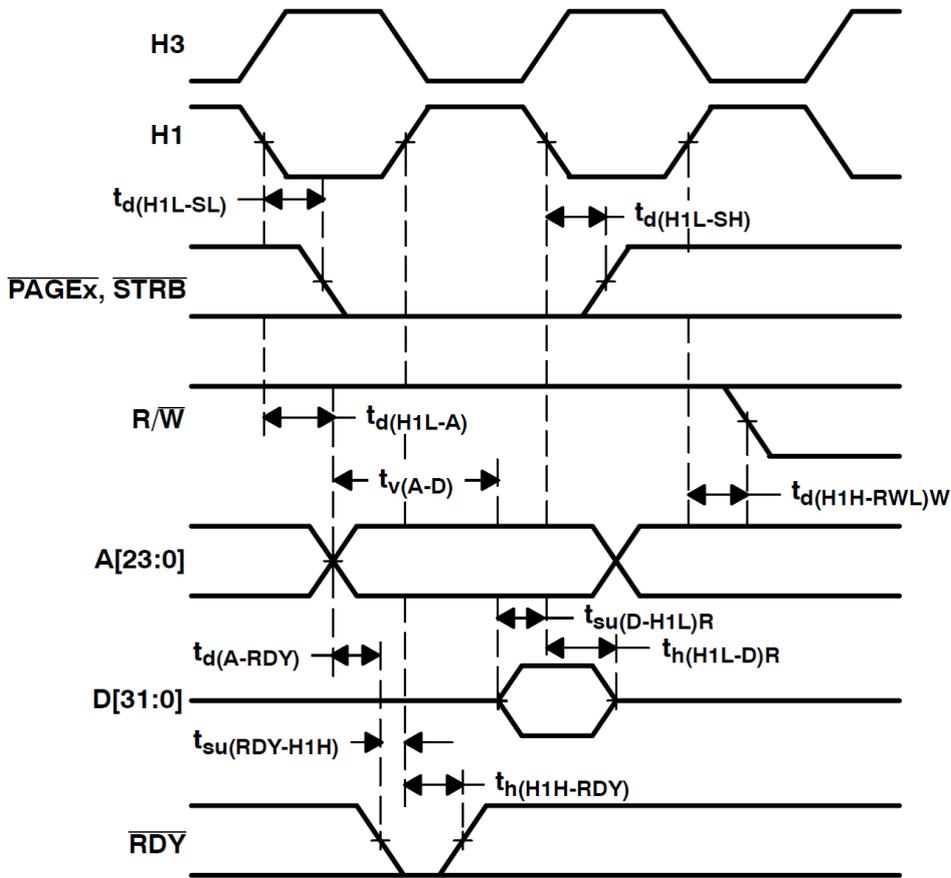


图19 输出负载特性, 仅缓冲器

R/. 所有其他输出都使用低速（低噪声）输出缓冲器。

存储器读/写时序（续）



注A：在循环读取操作期间，保持低电平。

图20 存储器时序（= 0 和= 0）读

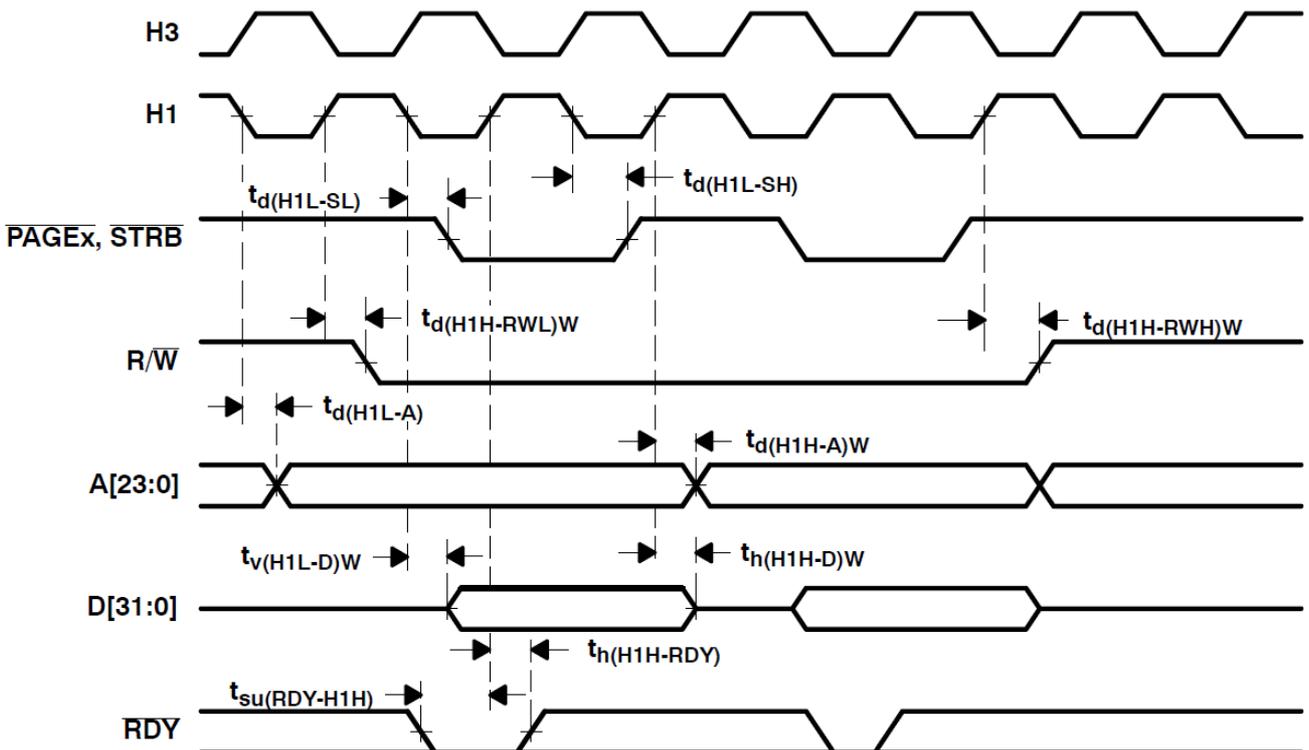


图20 存储器时序（= 0和= 0）写

执行LDFI或LDII时的XF0和XF1时序

下表定义了执行 LDFI 或 LDII 期间 XF0 和 XF1 的时序参数。

执行 LDFI 或 LDII 时, XF0 和 XF1 的时序要求 (见图22)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su}(XF1-H1L)$	建立时间, XF1至H1低电平	5		4		ns
$t_{h}(H1L-XF1)$	保持时间, H1低电平至XF1	0		0		ns

执行 LDFI 或 LDII 时, XF0 和 XF1 在推荐工作条件下的开关特性 (请参见图22)

参数	VC33-120		VC33-150		单位
	最小值	最大值	最小值	最大值	
$t_{d}(H3H-XF0L)$		4		3	ns

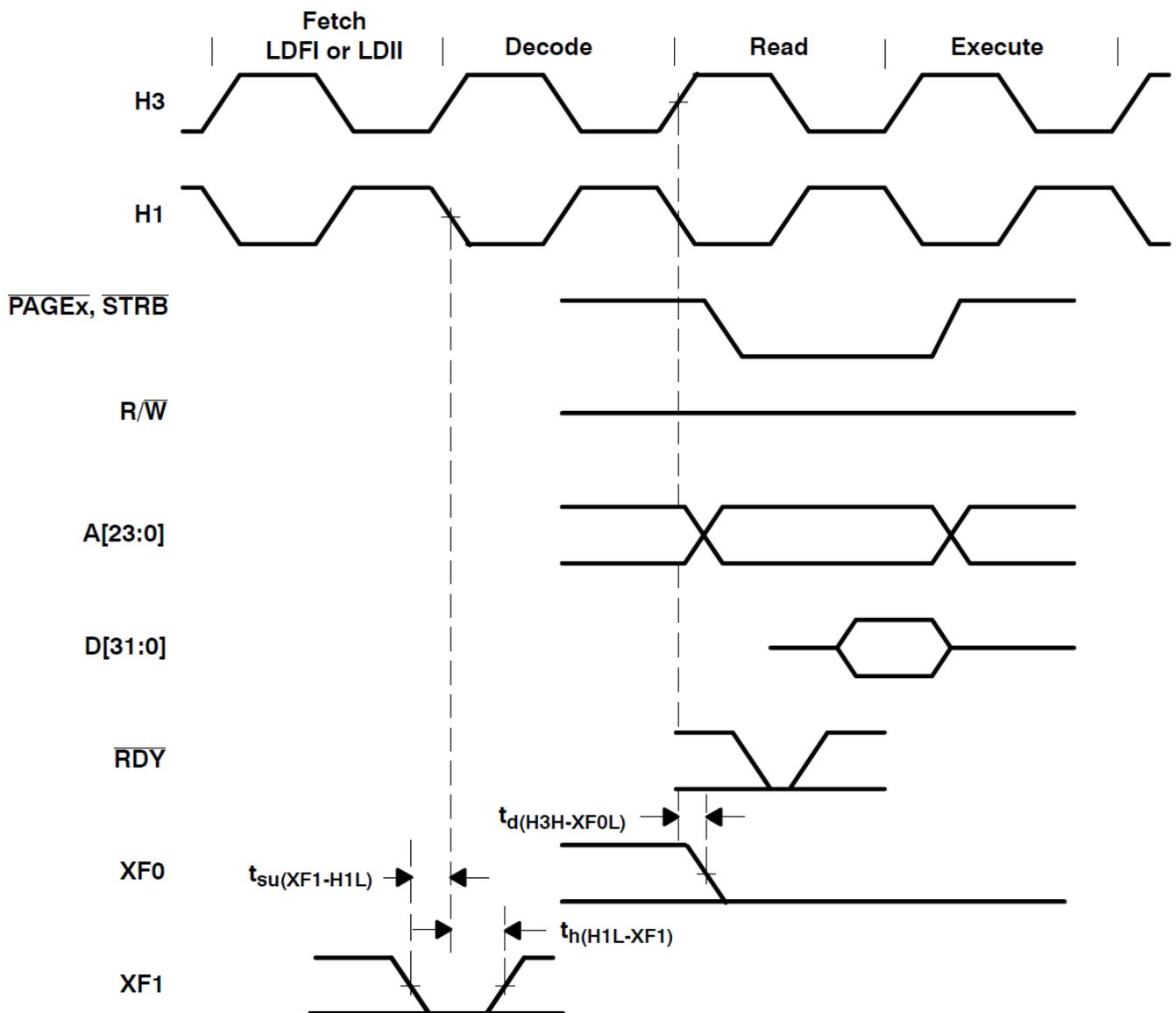


图22 执行 LDFI 或 LDII 时 XF0 和 XF1 的时序

执行STFI和STII时的XF0时序

下表定义了在执行 STFI 或 STII 期间 XF0 引脚的时序参数。

执行 STFI 或 STII 时, XF0 在推荐工作条件下的开关特性 (请参见图23)

参数		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{d(H3H-XF0H)}$	延迟时间, H3高到XF0低 [†]		4		3	ns

[†] 在互锁存储指令的执行阶段开始阶段, XF0始终设置为高电平。当没有通道冲突发生时, 也会驱动存储的地址。但是, 如果流水线的冲突阻止了存储的执行, 则直到存储可以执行之前, 才会驱动存储的地址。

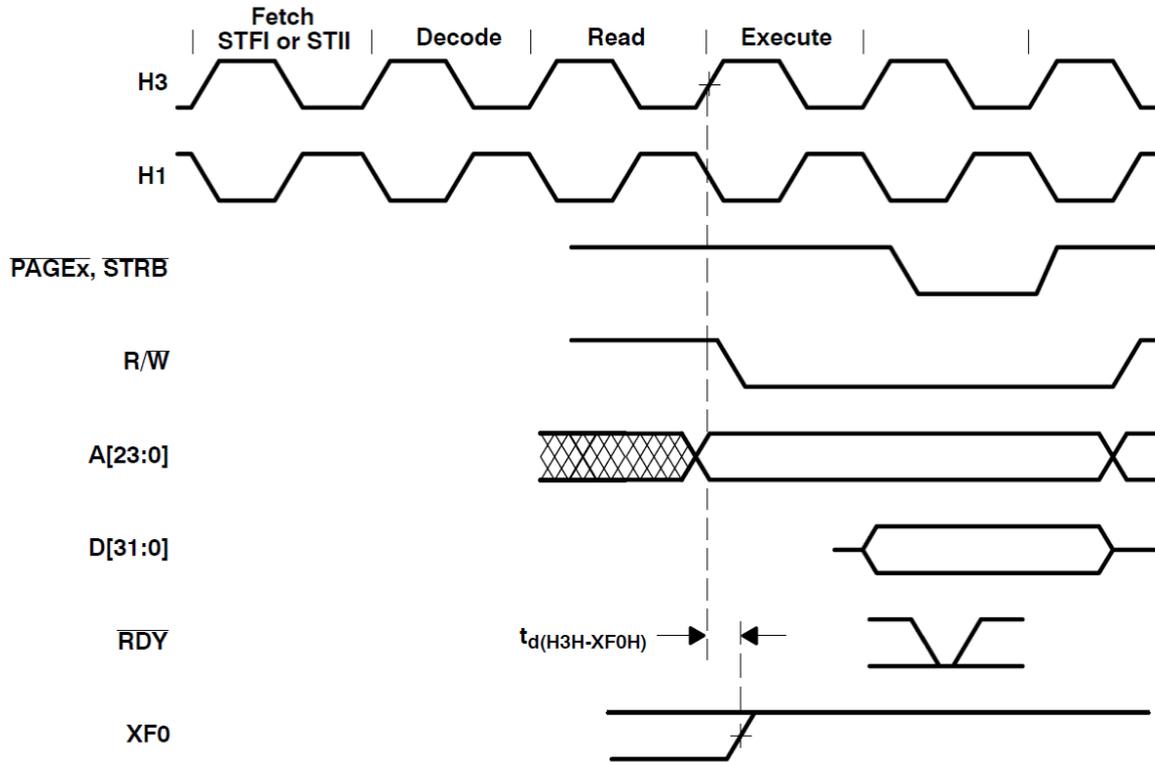


图23 执行 STFI 或 STII 时 XF0 的时序

执行SIGI时的XF0和XF1时序

下表定义了执行SIGI期间XF0和XF1引脚的时序参数。

执行 SIGI 时，XF0 和 XF1 的时序要求 (见图24)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su}(XF1-H1L)$	建立时间，XF1至H1低电平	5		4		ns
$t_h(H1L-XF1)$	保持时间，XF1至H1低电平	0		0		ns

执行 SIGI 时，XF0 和 XF1 在推荐工作条件下的开关特性 (请参见图24)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{d(H3H-XF0L)}$	延迟时间，H3高电平至XF0低电平		4		3	ns
$t_{d(H3H-XF0H)}$	延迟时间，H3高电平至XF0高电平		4		3	ns

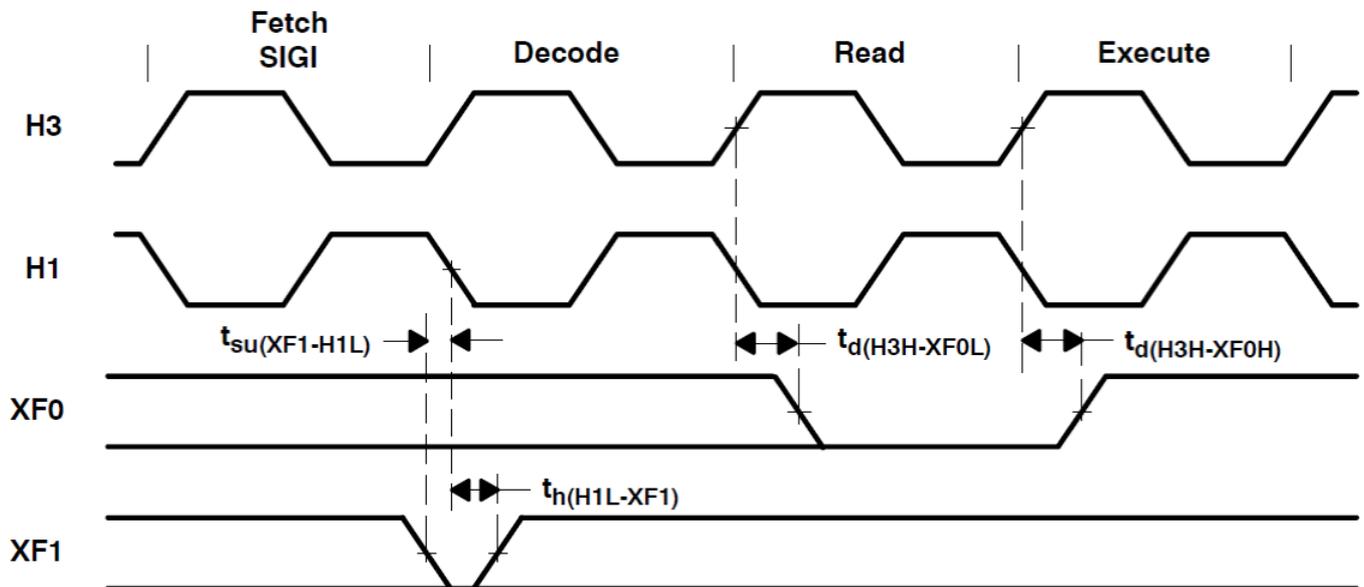


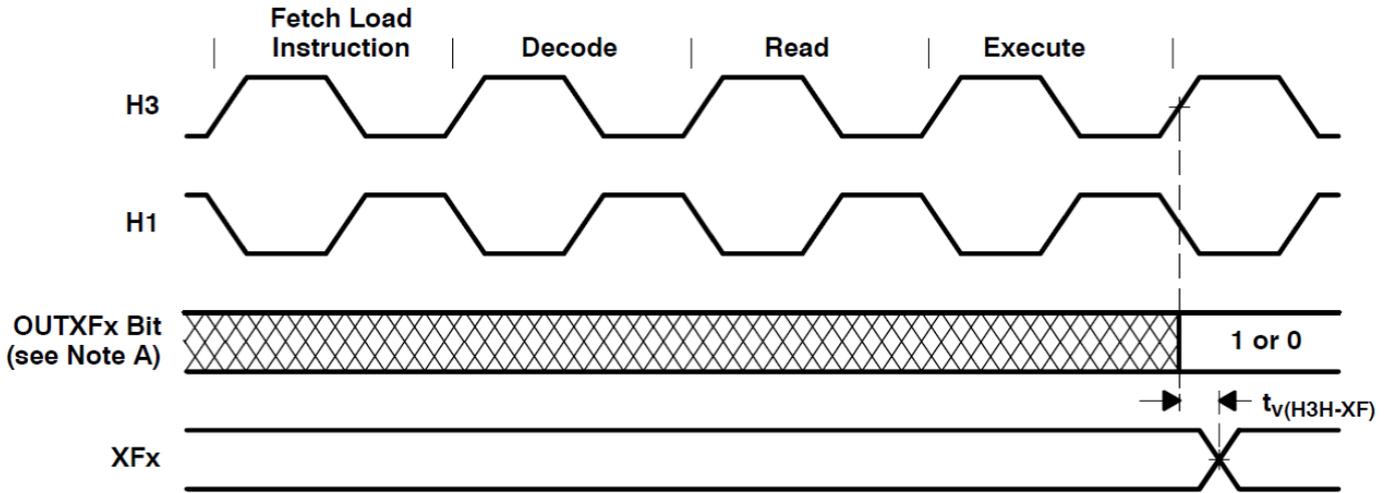
图24 执行 SIGI 时 XF0 和 XF1 的时序

XF配置为输出时加载

下表定义了将 XF_x 引脚配置为输出时加载 XF 寄存器的时序参数。

XF_x 被配置为输出引脚时，加载 XF 寄存器，XF_x 在推荐工作条件下的开关特性 (参见图25)

参数		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{v(H3H-XF)}$	有效时间，H3高电平至XF _x		4		3	ns



注A：OUTXF_x 代表 IOF 寄存器的第2位或第6位。

图25 配置为输出引脚时加载XF寄存器的时序

将XFx从输出更改为输入

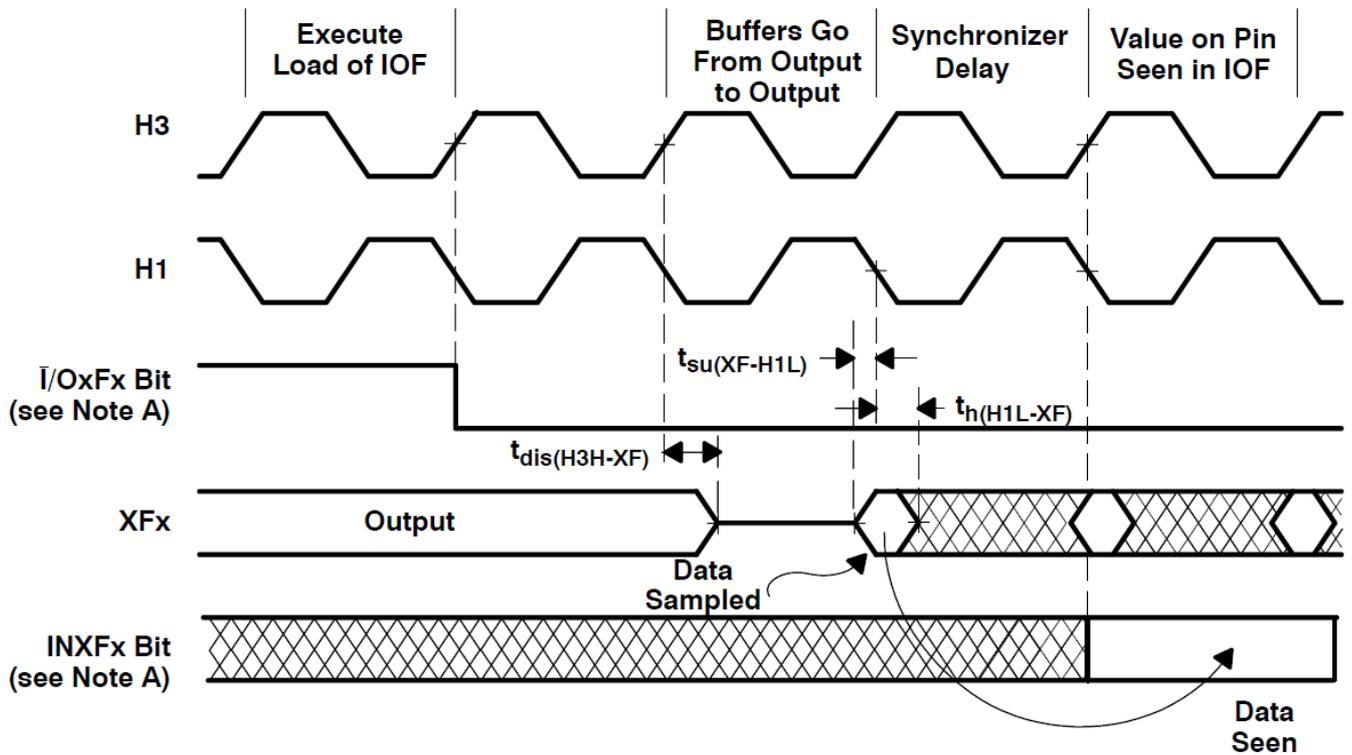
下表定义了将 XFx 引脚从输出引脚更改为输入引脚的时序参数。

将 XFx 从输出模式更改为输入模式的时序要求 (见图26)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su}(XF-H1L)$	建立时间, XFx至H1低电平	5		4		ns
$t_h(H1L-XF)$	保持时间, XFx至H1低电平	0		0		ns

将XFx从输出模式更改为输入模式时, 在推荐工作条件下的开关特性, (见图26)

参数		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{dis}(H3H-XF)$	禁用时间, H3高电平至XFx		6		5	ns



注A: I/O xFx 代表 IOF 寄存器的第1位或第5位, 而 INxFx 代表 IOF 寄存器的第3位或第7位。

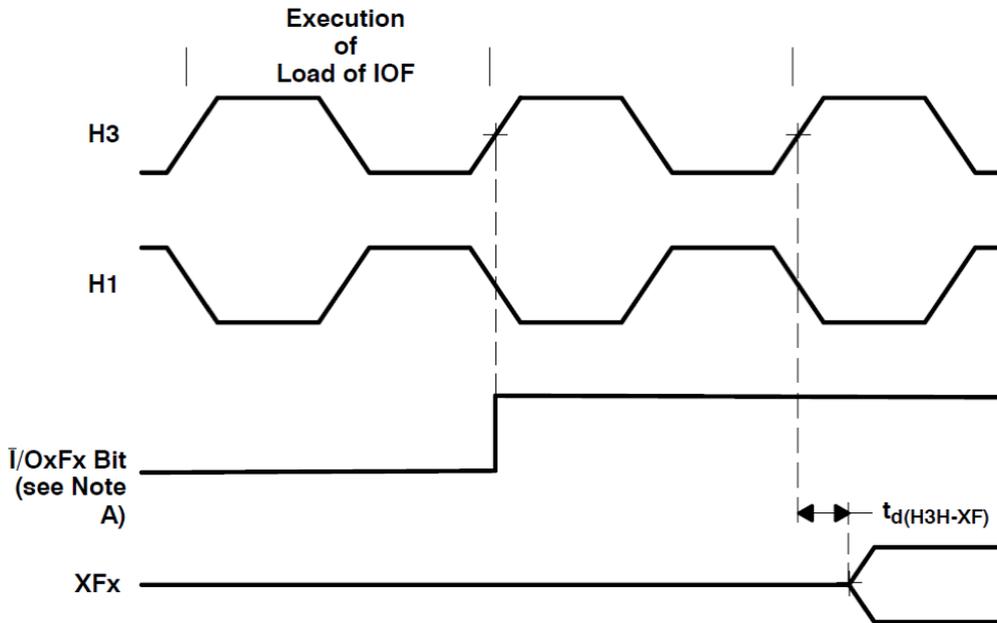
图26 将XFx从输出模式更改为输入模式的时序

将XFx从输入更改为输出

下表定义了将XFx引脚从输入引脚更改为输出引脚的时序参数。

将 XFx 从输入模式更改为输出模式时，在推荐工作条件下的开关特性，（参见图27）

参数		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{d(H3H-XF)}$	延迟时间，从输入切换到输出时，H3高电平到XFx		4		3	ns



注A：I/OxFx Bit 代表 IOF 寄存器的位1或位5。

图27 将 XFx 从输入模式更改为输出模式的时序

复位时序

是一个异步输入，可以在一个时钟周期的任何时间输入。如果满足指定的时序，则会发生图28所示的精准时序；否则，可能会增加一个时钟周期的延迟。

异步复位信号包括XF0 / 1, CLKX0, DX0, FSX0, CLKR0, DR0, FSR0和TCLK0 / 1。

在复位进程中的器件会将总线控制寄存器初始化为七个软等待状态，因此导致外部访问缓慢，直到这些寄存器初始化完成为止。是一个同步输入，可以在复位期间置位。有效可能需要九个CPU周期。

下表定义了信号的时序参数。

的时序要求 (参见图28)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su}(RESET-EXTCLKL)$	建立时间，至 EXTCLK 低电平	6	P - 7 [†]	5	P - 7	ns
$t_{su}(RESETH-H1L)$	建立时间，为高电平至H1低电平，和之后的10个 H1 时钟周期	6		5		ns

$$† P = t_c(EXTCLK)$$

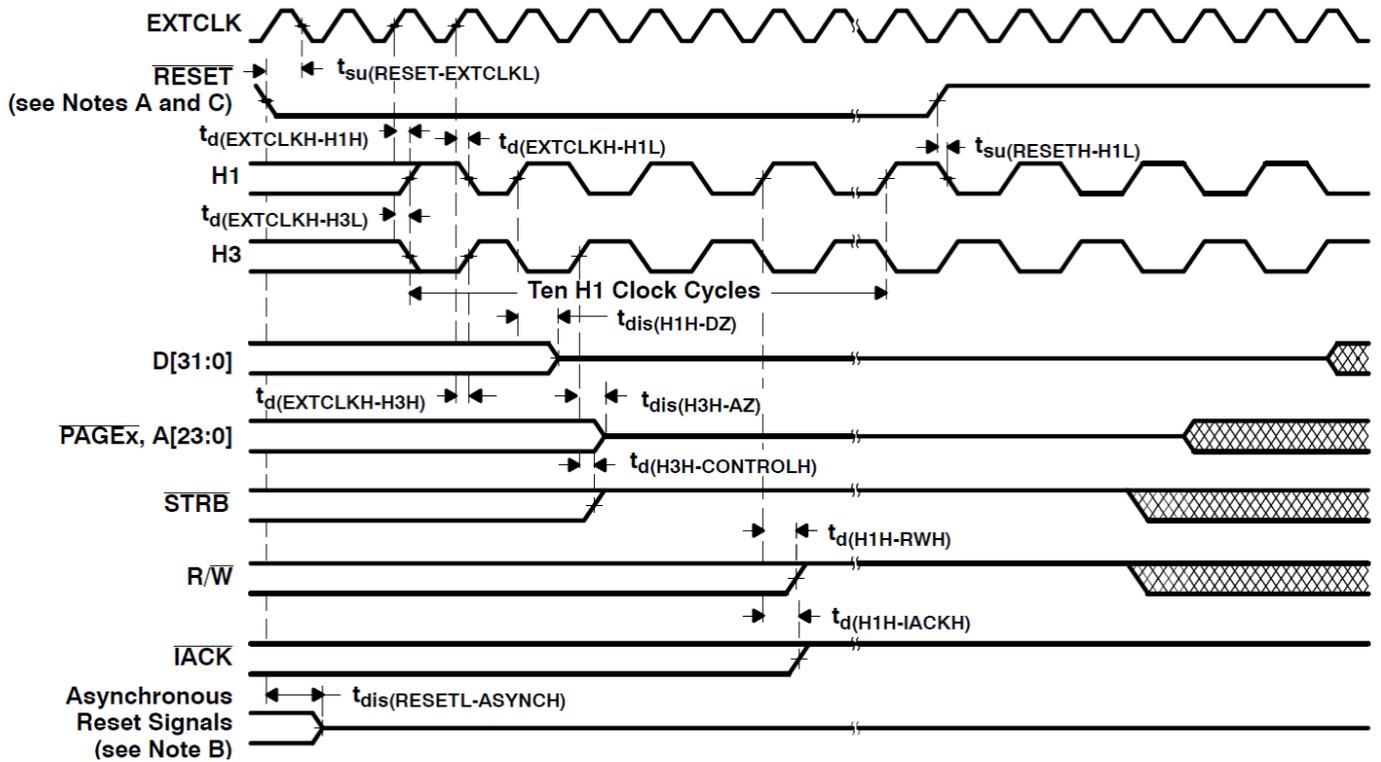
在推荐工作条件下的开关特性 (见图28)

参数		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_d(EXTCLKH-H1H)$	延迟时间，EXTCLK高到H1高	2	7		7	ns
$t_d(EXTCLKH-H1L)$	延迟时间，EXTCLK高到H1低	2	7		7	ns
$t_d(EXTCLKH-H3L)$	延迟时间，EXTCLK高到H3低	2	7		7	ns
$t_d(EXTCLKH-H3H)$	延迟时间，EXTCLK高到H3高	2	7		7	ns
$t_{dis}(H1H-DZ)$	禁用时间，H1高电平至数据 (高阻抗) [‡]		7		6	ns
$t_{dis}(H3H-AZ)$	禁用时间，H3高电平至地址 (高阻抗)		7		6	ns
$t_d(H3H-CONTROLH)$	延迟时间，H3为高至控制信号为高		4		3	ns
$t_d(H1H-RWH)$	延迟时间，H1高电平至 R/高电平		4		3	ns
$t_d(H1H-IACKH)$	延迟时间，H1高电平至高电平		4		3	ns
$t_{dis}(RESETL-ASYNCH)$	禁用时间，低电平至禁用异步复位信号 (高阻抗) [§]		7		6	ns

[‡] Dbus 的高阻抗被限制在标准总线保持器 $Z_{OUT} = 15k\Omega$ 。

[§] 异步复位信号包括 XF0 / 1, CLKX0, DX0, FSX0, CLKR0, DR0, FSR0和TCLK0 / 1。

复位时序 (续)



注意：

- 时钟电路配置为兼容C31的二分频模式。如果配置为一倍频模式，则 EXTCLK 直接驱动 H3。
- 异步复位信号包括 XF0 / 1, CLKX0, DX0, FSX0, CLR0, DR0, FSR0和TCLK0 / 1。
- 是一个同步输入，可以在一个时钟周期的任何时间输入。如果满足指定的时序，则显示的精准的时序将会产生；否则，可能会增加一个时钟周期的延迟。
- 在微处理器模式下，复位向量被输出两次，每次具有七个软等待状态。在微机模式下，复位向量被输出两次，没有软等待状态。
- 复位期间，地址和- 输出处于高阻抗状态，需要标准10 - 22kΩ上拉。否则，当不驱动这些输出时，可能会发生错误读取。

图28 时序

中断确认时序

下表定义了信号的时序参数。

- 响应的时序要求 (见图29)

		VC33-120			VC33-150			单位
		最小值	标准	最大值	最小值	标准	最大值	
$t_{su}(INT-H1L)$	设置时间, - 至 H3 低电平	5			4			ns
$t_h(H1L-INT)$	保持时间, H1低电平至-			0			0	ns
$t_w(INT)$	脉冲持续时间, 中断确保只有一个中断	$P + 5^\dagger$	1.5P	$2P - 5^\dagger$	$P + 5^\dagger$	1.5P	$2P - 5^\dagger$	ns

$^\dagger P = t_{c(H)}$

中断引脚 () 是同步输入, 可以在一个时钟周期的任何时间输入。CLM320C3x 中断可选择电平触发或边沿触发。H1 的下降沿可检测中断, 因此, 必须将中断设置并保持在 H1 内部的下降沿, 以保证可以检测到中断。CPU 和 DMA 仅在指令获取边沿上响应检测到的中断。

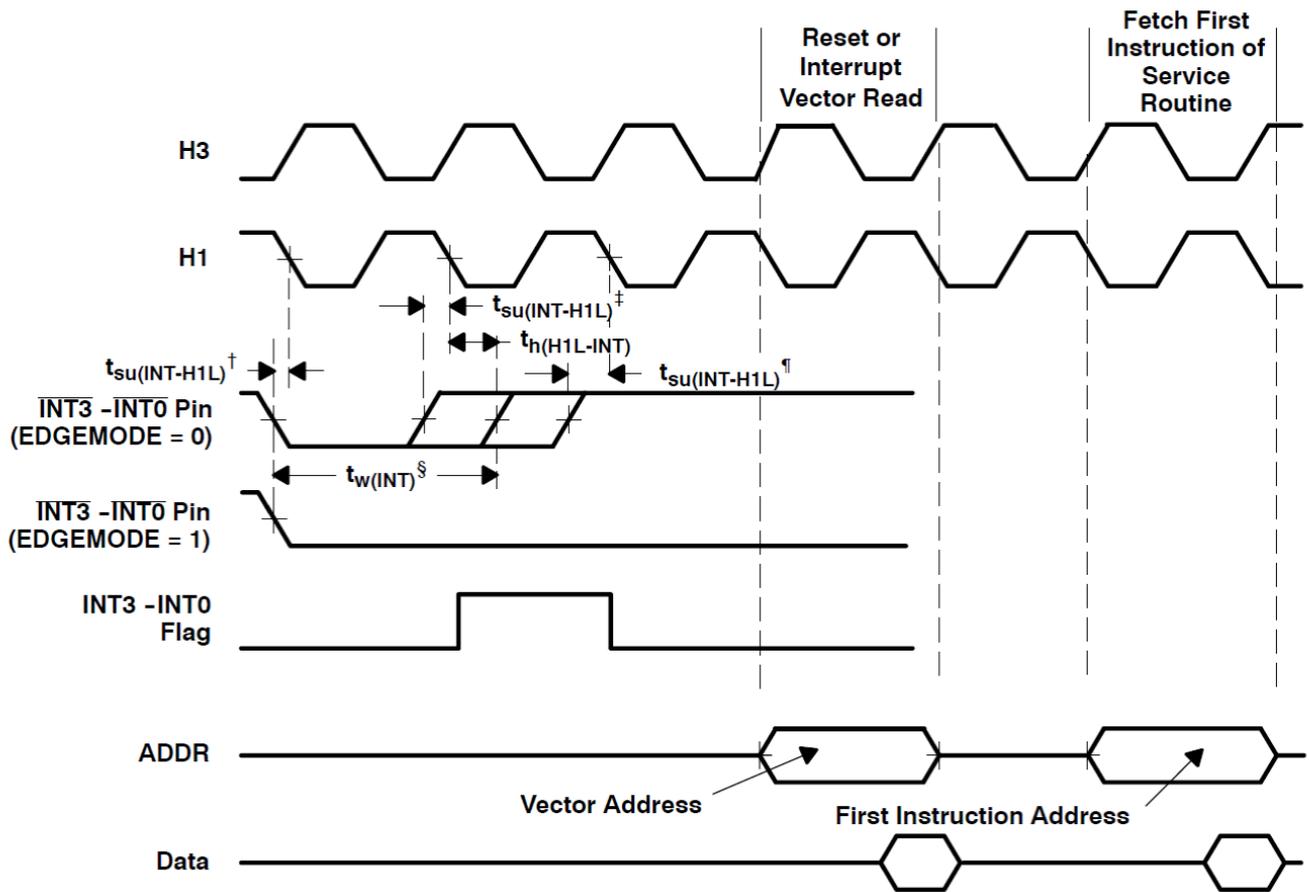
为使处理器在选择电平触发模式时仅识别一个中断, 中断脉冲必须设置并保持一个逻辑低电平发生状态:

- 至少一个 H1 下降沿;
- 最多两个 H1 下降沿;
- 中断源边沿不能被确保以满足 H1 的下降沿设置时, 必须进一步限制保持时间 (它的脉冲宽度由上表中的 $t_w(INT)$ (参数 51) 定义)。

当 EDGEMODE = 1 时, 使用同步逻辑检测- 引脚的下降沿 (见图 7)。脉冲低电平和高电平时间应为两个或以上 CPU 时钟。CLM320C3x 清除后, 可以在两个 H1 时钟周期内尽快设置来自同一中断源的中断标志。

如果满足指定的时序, 则会产生图 2 9所示的精准时序; 否则, 可能会增加一个时钟周期的延迟。

中断确认时序 (续)



† H1 的下降沿检测下降沿。

‡ H1 的下降沿检测的第二个低电平，但是清除标志优先。

§ 标准宽度。

¶ 由于上升，H1 的下降沿未达到先前的低电平。

图29 - 响应时序

中断确认时序 (续)

输出在 IACK 指令解码阶段的前半个周期 (HI 上升) 为有效, 而在 IACK 指令读取阶段的前半个周期 (HI 上升) 为无效。

下表定义了信号的时序参数。

注意: 可以随时使用引脚执行 IACK 指令以表示事件发生的信号。IACK 指令经常在中断例程中使用, 以通知哪个信号发生了中断。必须执行 IACK 指令来产生 IACK 脉冲。

IACK 在推荐工作条件下的开关特性 (请参见图30)

参数	VC33-120		VC33-150		单位
	最小值	最大值	最小值	最大值	
$t_{d(H1H-IACKL)}$	-1	4	-1	3	ns
$t_{d(H1H-IACKH)}$	-1	4	-1	3	ns

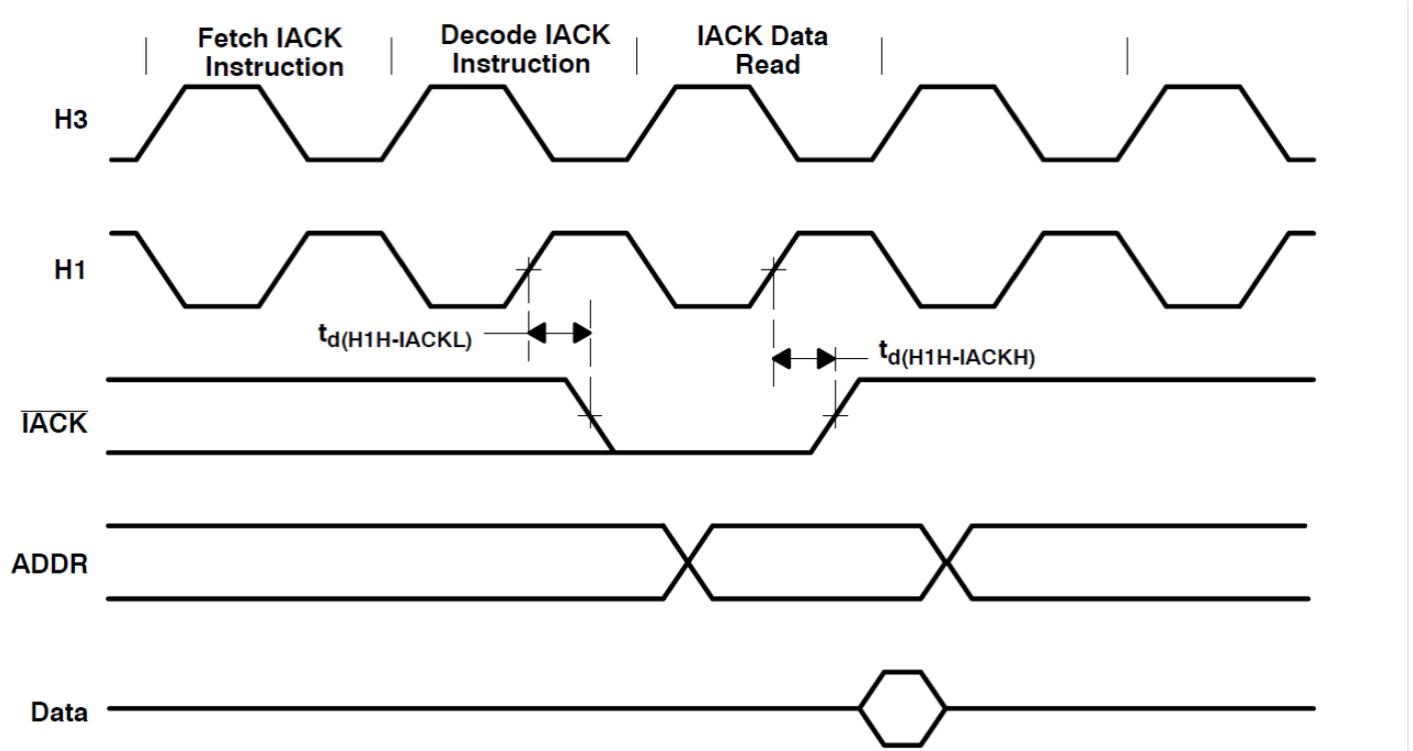


图30 中断确认 () 时序

串口时序参数

下表定义了串行端口的时序参数。

时序要求 (参见图31和图32)

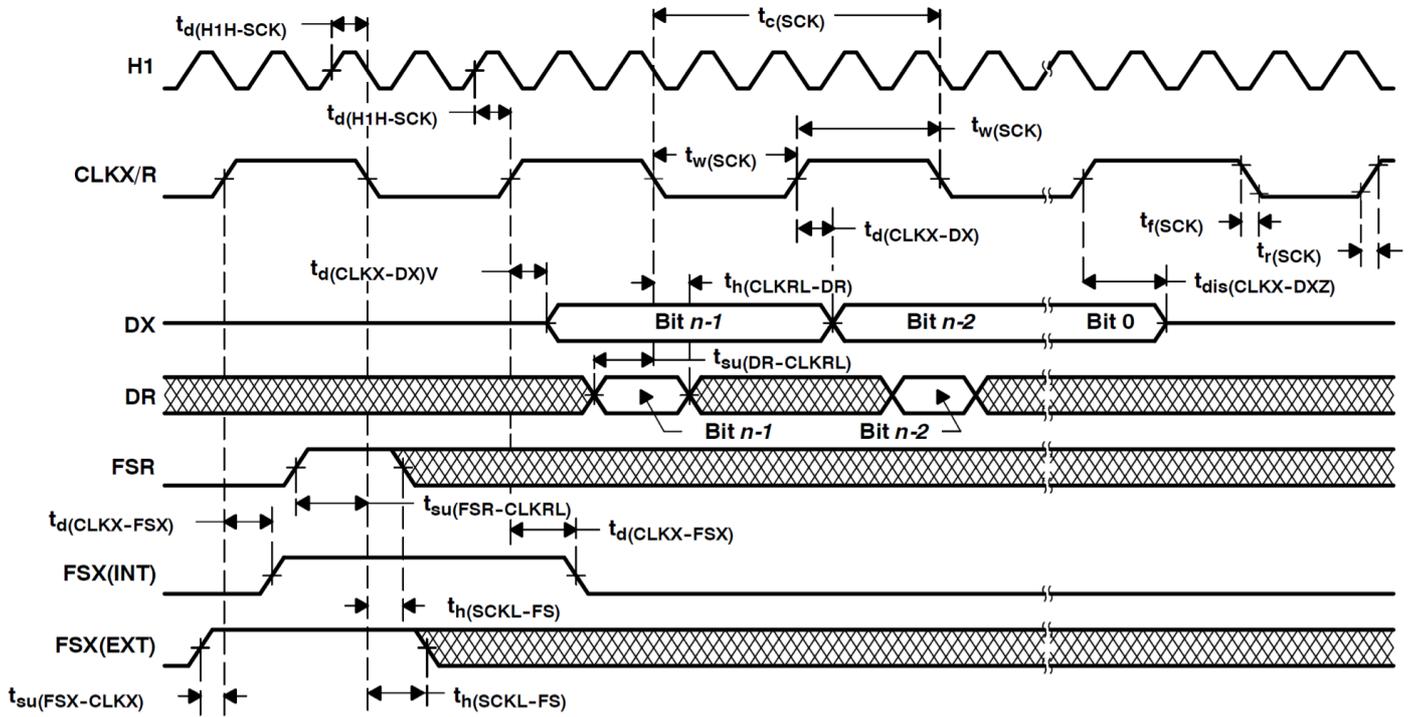
		最小值	最大值	单位
$t_{c(SCK)}$	周期时间, CLKX / R	CLKX/R ext	$t_{c(H)} * 2.6$	ns
		CLKX/R int	$t_{c(H)} * 2$ $t_{c(H)} * 2^{16}$	
$t_{w(SCK)}$	脉冲持续时间, CLKX / R高/低	CLKX/R ext	$t_{c(H)} + 5$	ns
		CLKX/R int	$[t_{c(SCK)} / 2] - 4$ $[t_{c(SCK)} / 2] + 4$	
$t_{r(SCK)}$	上升时间, CLKX / R		3	ns
$t_{f(SCK)}$	下降时间, CLKX / R		3	ns
$t_{su(DR-CLKRL)}$	建立时间, CLKR低之前的DR	CLKR ext	4	ns
		CLKR int	5	
$t_{h(CLKRL-DR)}$	保持时间, CLKR为低电平后的DR	CLKR ext	3	ns
		CLKR int	0	
$t_{su(FSR-CLKRL)}$	建立时间, CLKR低之前的FSR	CLKR ext	4	ns
		CLKR int	5	
$t_{h(SCKL-FS)}$	保持时间, CLKX / R为低电平后的FSX / R输入	CLKX/R ext	3	ns
		CLKX/R int	0	
$t_{su(FSX-CLKX)}$	建立时间, CLKX之前的外部FSX	CLKX ext	$-[t_{c(H)} - 6]$ $[t_{c(SCK)}/2] - 6$	ns
		CLKX int	$-[t_{c(H)} - 10]$ $t_{c(SCK)} / 2$	

推荐工作条件下的开关特性 (请参见图31和图32)

参数		最小值	最大值	单位
$t_{d(H1H-SCK)}$	延迟时间, H1 高到内部 CLKX / R		4	ns
$t_{d(CLKX-DX)}$	延迟时间, CLKX 至 DX 有效	CLKX ext	6	ns
		CLKX int	5	
$t_{d(CLKX-FSX)}$	延迟时间, CLKX 至内部 FSX 高/低	CLKX ext	5	ns
		CLKX int	4	
$t_{d(CLKX-DX)V}$	延迟时间, CLKX 至第一个 DX 位, FSX在 CLKX 高电平之前	CLKX ext	5	ns
		CLKX int	5 4	
$t_{d(FSX-DX)V}$	延迟时间, FSX 至第一个 DX 位, CLKX 在 FSX 之前		6	ns
$t_{dis(CLKX-DXZ)}$	禁用时间, CLKX 高电平开始的最后一个数据位之后, DX高阻抗		6	ns

数率时序模式

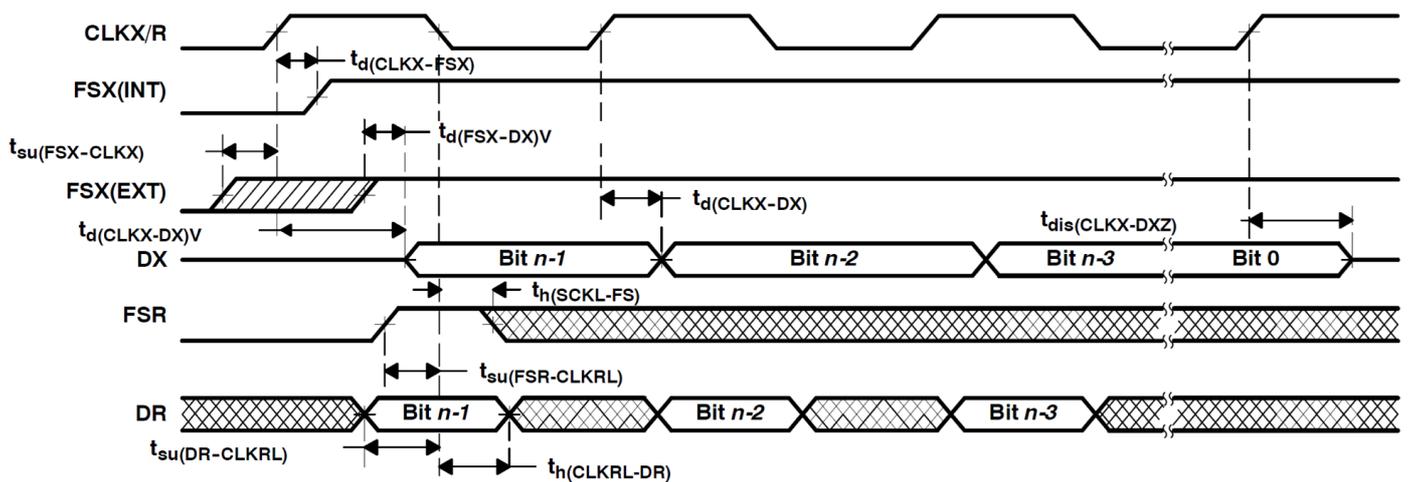
除非另有说明，否则图31和图32所示的数率时序对于所有串行端口模式（包括握手）均适用。有关串行端口操作的功能说明，请参见《CLM320C3x用户指南》（文献编号SPRU031）。



注意：A.时序图所示为 CLKXP = CLKRP = FSXP = FSRP = 0 时的操作。

B.时序图取决于串行端口字的长度，其中n = 8、16、24 或 32 位。

图31 固定数率模式时序



注意：A.时序图所示为 CLKXP = CLKRP = FSXP = FSRP = 0 时的操作。

B.时序图取决于串行端口字的长度，其中n = 8、16、24或32位。

C.那些未明确可变数率模式下的时序，与固定数率模式下的时序是一样的。

图32 可变数率模式时序

时序

是一个同步输入端口，可以在一个时钟周期的任何时间输入。如果满足指定的时序，则其精准时序如图33和图34所示；否则，可能会增加一个时钟周期的延迟。

表格“/的时序要求”定义了和信号的时序参数。总线控制寄存器的NOHOLD位优先于信号。当该NOHOLD位建立时，器件退出保持状态，防止之后的保持循环。

需被声明以防处理器访问总线。程序将继续执行，直到读信号或写信号访问总线为止。在某些情况下，写信号首次访问总线将处于等待状态，因此，允许处理器（内部）继续运行，直到遇到第二次外部写入为止。

图33，图34为零等待状态总线配置的时序。由于是在当前周期终止前的一个周期由CPU在H1下降沿内部捕获的，因此任何总线配置的最小宽度为WTCNT + 3。同样，在保持的至少一个周期之前，不得取消保持。

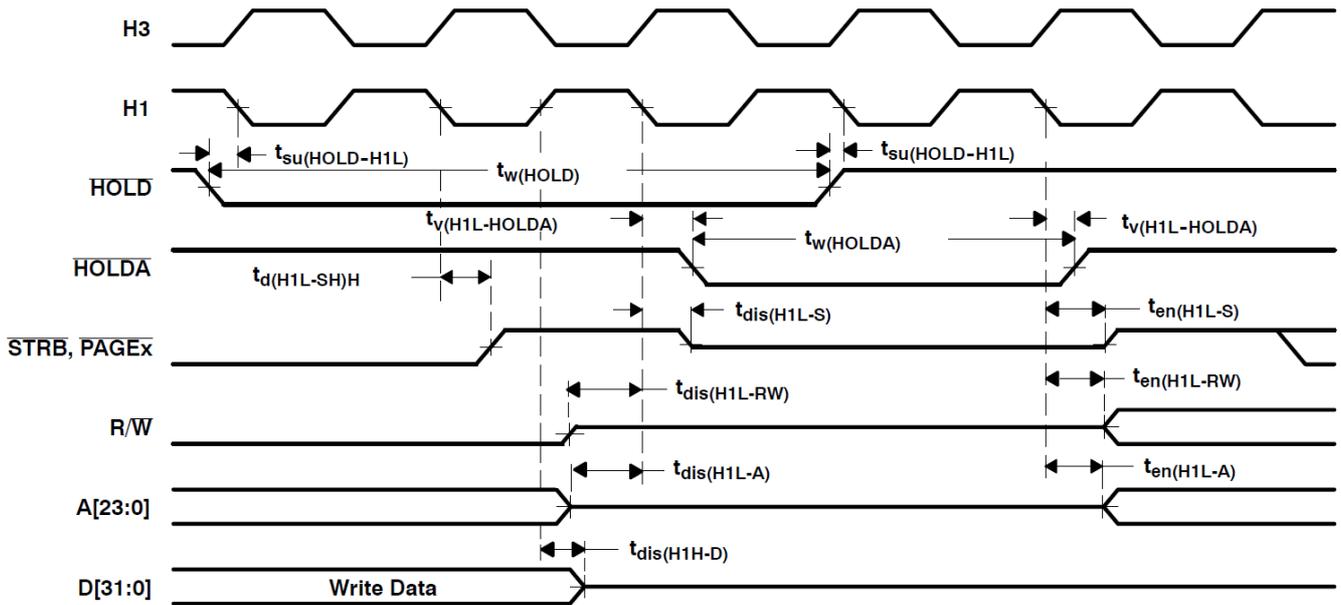
/的时序要求（见图33和图34）

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su(HOLD-H1L)}$	建立时间，至H1低电平	4		3		ns
$t_w(HOLD)$	脉冲持续时间，低电平	$3t_{c(H)}$		$3t_{c(H)}$		ns

/在推荐工作条件下的开关特性（见图33和图34）

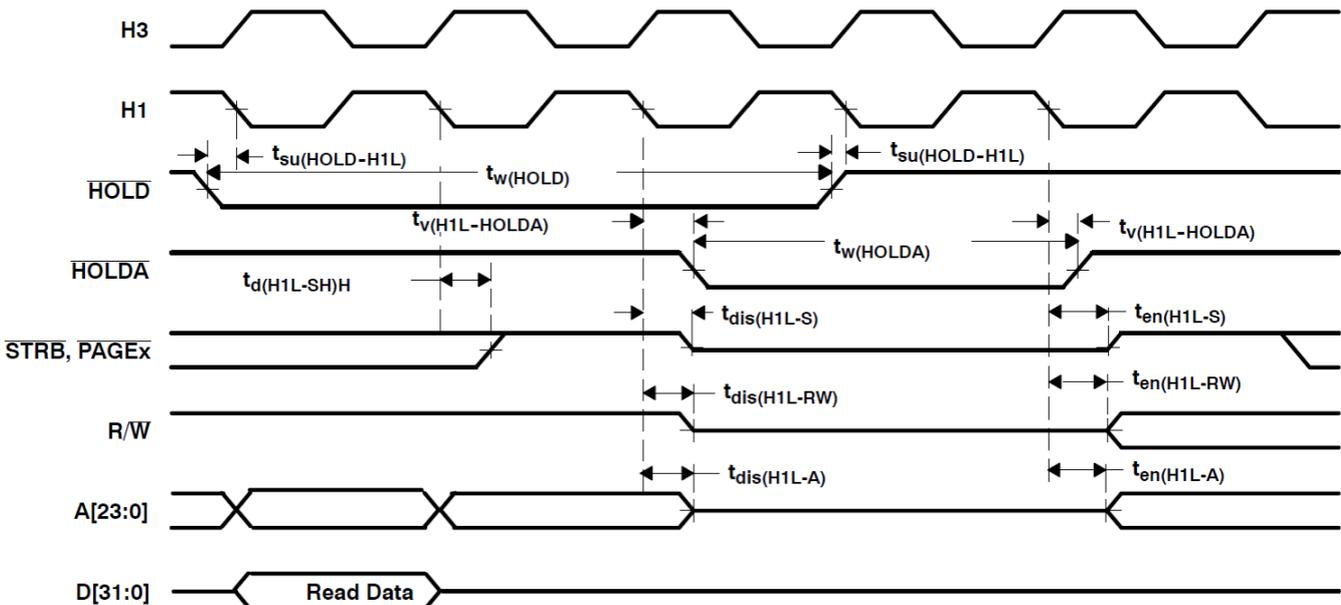
参数		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_v(H1L-HOLDA)$	有效时间，H1低电平至	-1	4	-1	3	ns
$t_w(HOLDA)$	脉冲持续时间，低电平	$2t_{c(H)} - 4$		$2t_{c(H)} - 4$		ns
$t_d(H1L-SH)H$	延迟时间，对于，H1低电平至为高电平	-1	4	-1	3	ns
$t_{dis}(H1L-S)$	禁用时间，H1低电平至为高阻态		5		4	ns
$t_{en}(H1L-S)$	使能时间，H1低电平至启用（活动）		5		5	ns
$t_{dis}(H1L-RW)$	禁用时间，H1低电平至R /为高阻态		5		4	ns
$t_{en}(H1L-RW)$	使能时间，H1低开始至启用R /		5		5	ns
$t_{dis}(H1L-A)$	禁用时间，H1低电平至地址线变为高阻态		5		4	ns
$t_{en}(H1L-A)$	使能时间，H1低电平至启用地址线（有效）		5		5	ns
$t_{dis}(H1H-D)$	禁用时间，H1低电平至数据线变为高阻态		5		4	ns

时序 (续)



注A：由于响应 变低而变低，并一直保持低电平直到变高后的一个 H1 周期。

图33 / 的时序 (写之后)



注A：由于响应 变低而变低，并一直保持低电平直到变高后的一个 H1 周期。

图33 / 的时序 (读之后)

通用I / O时序

外设引脚包括CLKX0, CLKR0, DX0, DR0, FSX0, FSR0和TCLK0 / 1。这些引脚的模式由与每个外设相关的内部控制寄存器的内容定义。

外设引脚I / O时序

下表显示了从通用输出模式到通用输入模式的外围引脚时序参数的变化，反之亦然。

外围通用I / O引脚的时序要求 (见注1, 图35和图36)

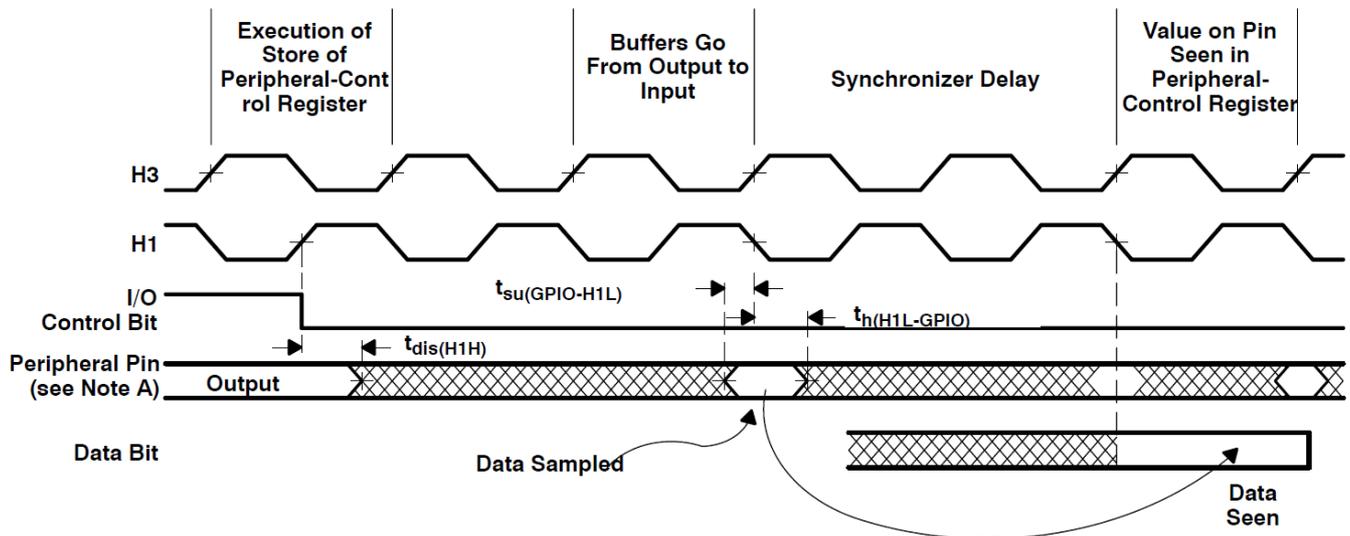
		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_{su}(GPIO-H1L)$	建立时间, 通用输入 I / O 至H1为低电平	4		3		ns
$t_h(H1L-GPIO)$	保持时间, 通用输入 I / O 至H1为低电平	0		0		ns

注1: 外设引脚包括CLKX0, CLKR0, DX0, DR0, FSX0, FSR0和TCLK0 / 1。这些引脚的模式由与每个外设相关的内部控制寄存器的内容定义。

外设通用I / O引脚在推荐工作条件下的开关特性 (请参见注1, 图35和图36)

		VC33-120		VC33-150		单位
		最小值	最大值	最小值	最大值	
$t_d(H1H-GPIO)$	延迟时间, H1高电平至通用输出I / O		5		4	ns
$t_{dis}(H1H)$	禁用时间, H1高电平至通用输出I / O		7		5	ns

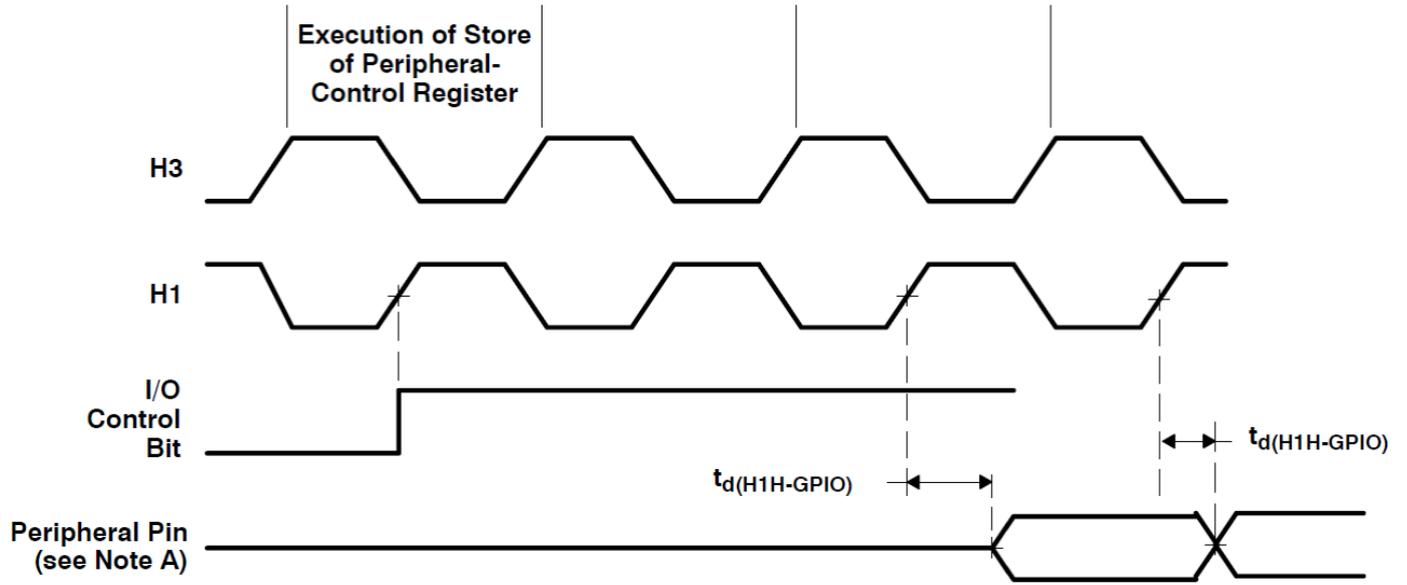
注1: 外设引脚包括CLKX0, CLKR0, DX0, DR0, FSX0, FSR0和TCLK0 / 1。这些引脚的模式由与每个外设相关的内部控制寄存器的内容定义。



注A: 外设引脚包括CLKX0, CLKR0, DX0, DR0, FSX0, FSR0和TCLK0 / 1。

图35 外设引脚从通用输出到输入模式时序的变化

通用I / O时序 (续)



注A：外设引脚包括CLKX0，CLKR0，DX0，DR0，FSX0，FSR0和TCLK0 / 1。

图36 外设引脚从通用输入到输出模式时序的变化

计时器引脚时序

通过内部控制寄存器的内容可设定有效的逻辑电平周期和极性。下表定义了计时器引脚的时序参数。

计时器引脚的时序要求 (见图37和图38)

	VC33-120		VC33-150		单位
	最小值	最大值	最小值	最大值	
$t_{su}(TCLK-H1L)$ † 建立时间, 外部TCLK至H1低电平	4		3		ns
$t_{h}(H1L-TCLK)$ † 保持时间, H1为低电平至外部TCLK	0		0		ns

† 这些要求适用于同步输入时钟。

计时器引脚在推荐工作条件下的开关特性 (见图37和图38)

	VC33-120		VC33-150		单位
	最小值	最大值	最小值	最大值	
$t_{d}(H1H-TCLK)$ 延迟时间, H1高电平到TCLK内部有效	4		3		ns
$t_c(TCLK)$ ‡ 周期时间, TCLK	TCLK ext	$t_{c(H)} * 2.6$	$t_{c(H)} * 2.6$		ns
	TCLK int	$t_{c(H)} * 2$	$t_{c(H)} * 2^{32}$	$t_{c(H)} * 2$ $t_{c(H)} * 2^{32}$	ns
$t_w(TCLK)$ ‡ 脉冲持续时间, TCLK	TCLK ext	$t_{c(H)} + 6$	$t_{c(H)} + 5$		ns
	TCLK int	$\frac{[t_{c(TCLK)}/2] - 4}{4}$	$[t_{c(TCLK)}/2] + 4$	$[t_{c(TCLK)}/2] - 4$ $[t_{c(TCLK)}/2] + 4$	ns

‡ 这些参数适用于异步输入时钟。

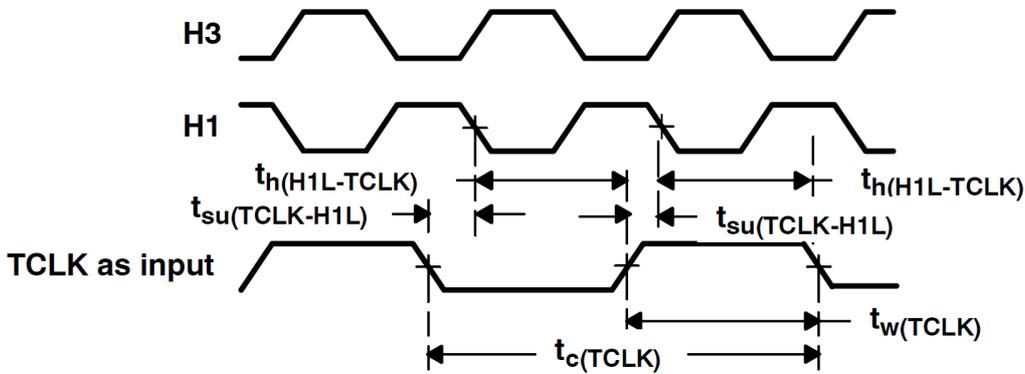


图37 计时器引脚时序, 输入

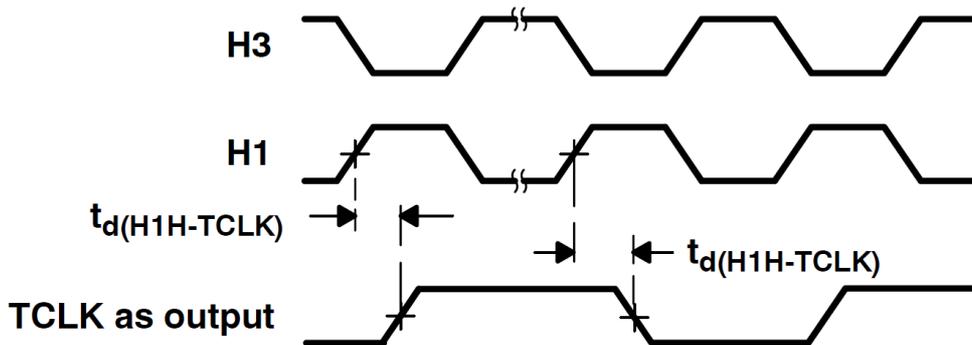


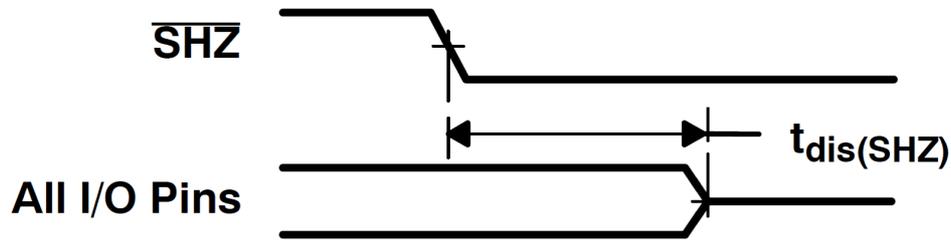
图38 计时器引脚时序, 输出

引脚时序

下表定义了引脚的时序参数。

在推荐工作条件下的开关特性 (见图39)

参数	最小值	最大值	单位
$t_{dis}(SHZ)$ 禁用时间，低电平至所有输出，禁用I/O引脚 (高阻抗)	0	8	ns



注A：启用会破坏 CLM320VC33 寄存器和存储器的内容。= 1 并复位 CLM320VC33 使其恢复到已知状态。

图39 的时序

IEEE-1149.1测试访问端口时序

下表定义了 IEEE-1149.1 测试访问端口的时序参数。

IEEE-1149.1测试访问端口的时序 (见图40)

	VC33-120		VC33-150		单位
	最小值	最大值	最小值	最大值	
$t_{su}(CLM-TCKH)$ 建立时间, CLM / TDI 至 TCK 高	5		5		ns
$t_h(TCKH-CLM)$ 保持时间, TCK高电平至CLM / TDI	5		5		ns
$t_d(TCKL-TDOV)$ 延迟时间, TCK为低电平至TDO有效	0	10	0	10	ns
$t_r(TCK)$ 上升时间, TCK		3		3	ns
$t_f(TCK)$ 下降时间, TCK		3		3	ns

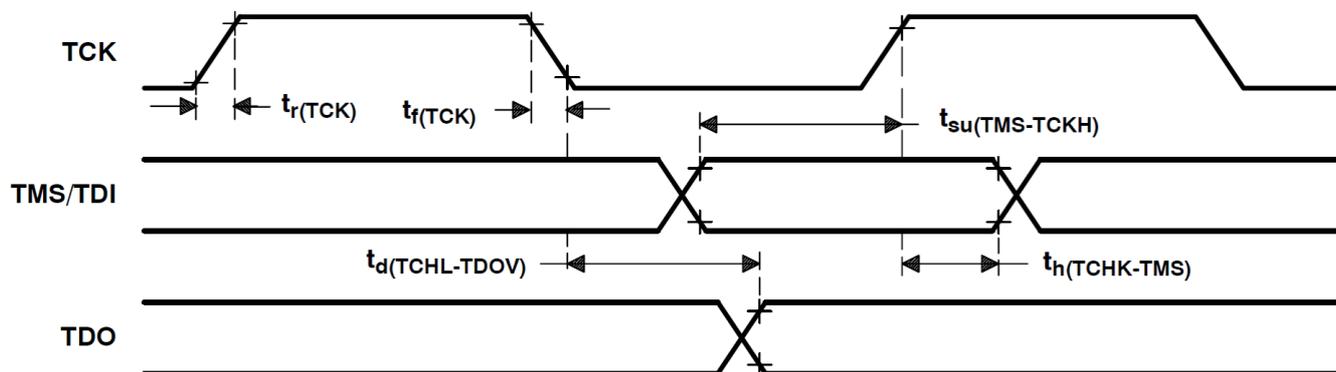
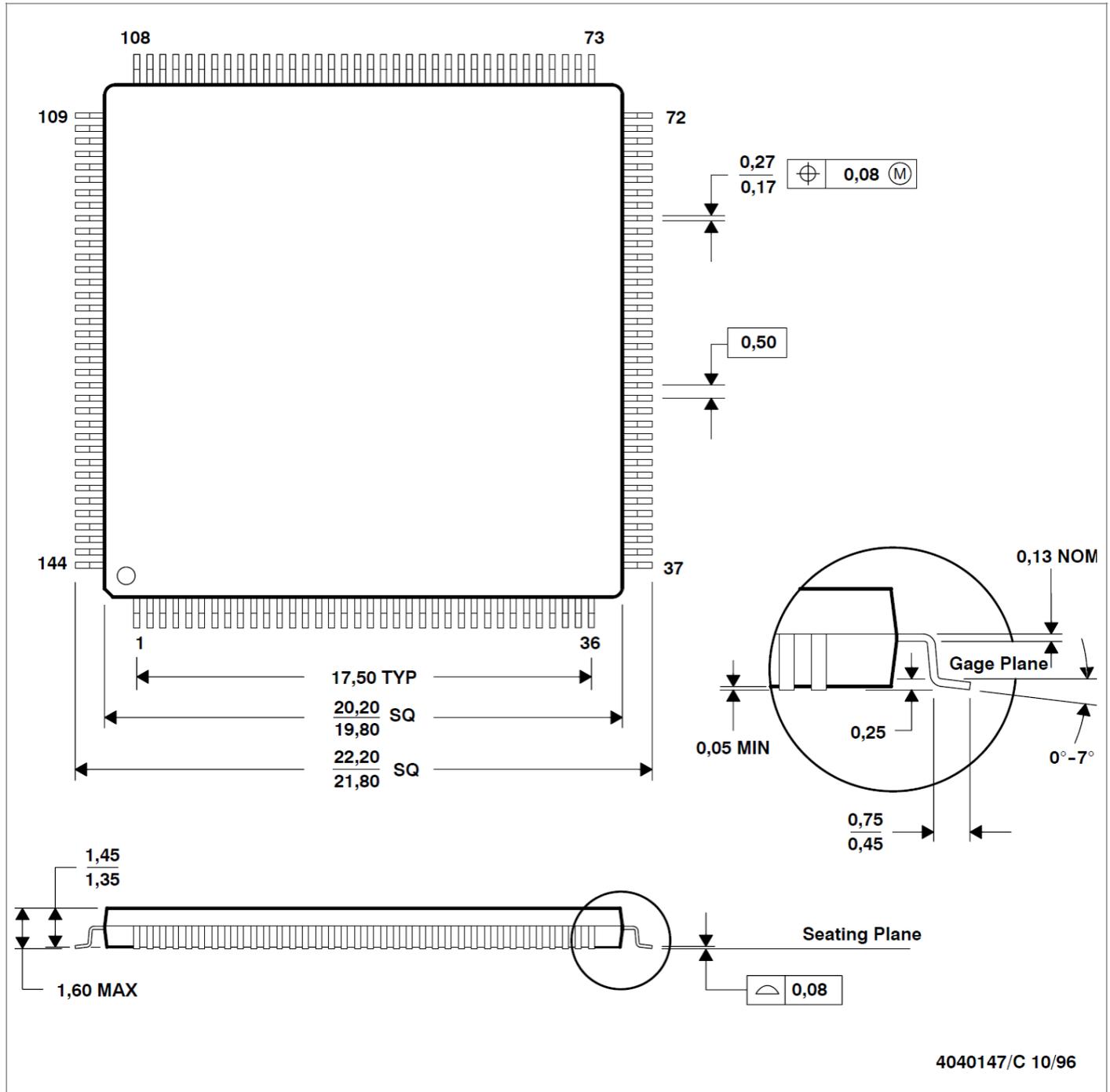


图40 IEEE-1149.1测试访问端口时序

PGE (S-PQFP-G144)



- 注意：A. 所有线性尺寸均以毫米为单位。
 B. 本图纸如有更改，恕不另行通知。
 C. 属于JEDEC MS-026

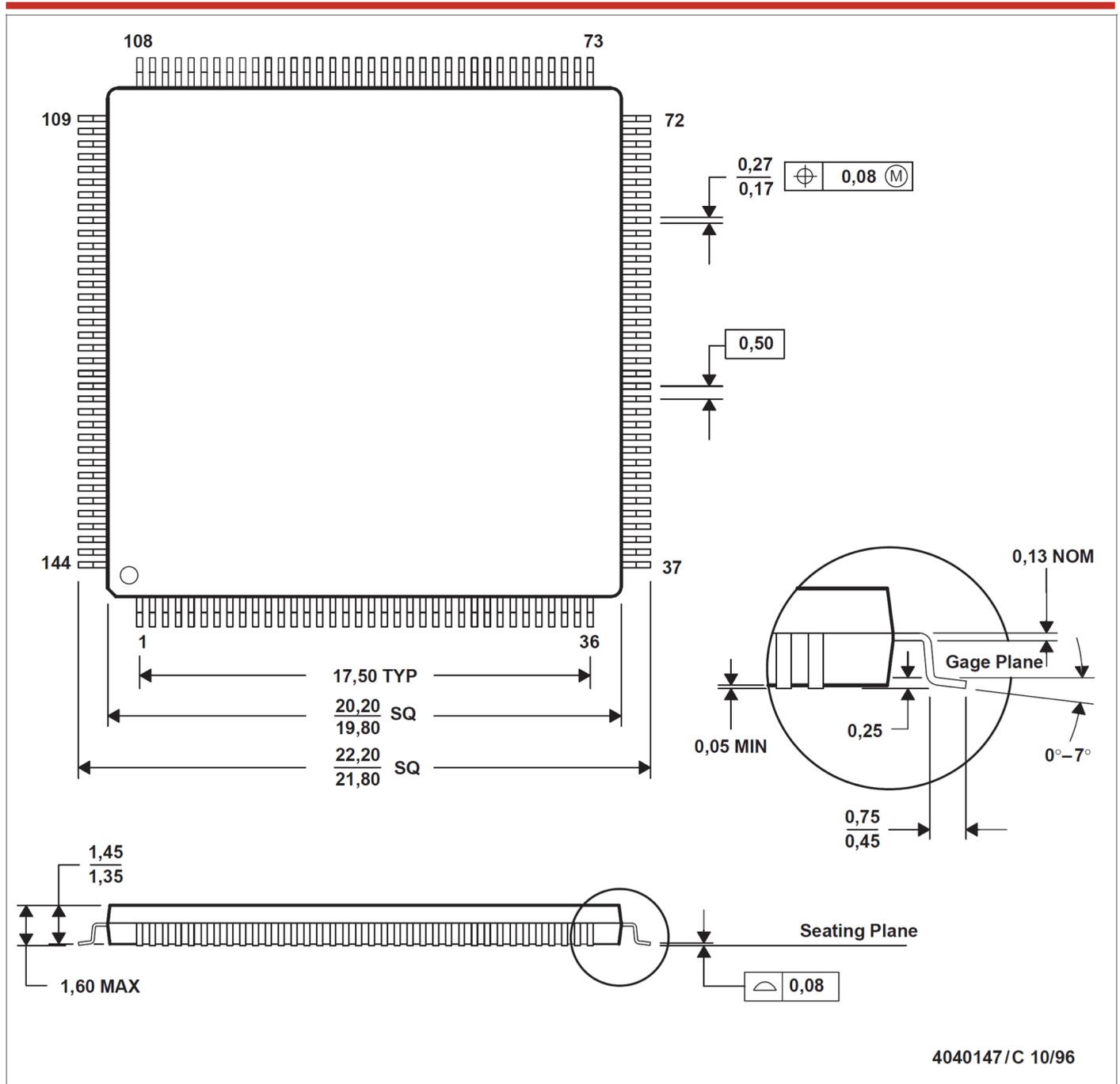
热阻特性

参数	°C/W
R _{θJA}	56
R _{θJC}	5

封装信息

可订购器件	状态 (1)	封装 类型	封装图	引 脚	封装 数量	环保标准	铅/球表 面处理	MSL峰值温度	工作温 度 (°C)	器件标记	样品
CLM320VC33PG E120	NRND	LQFP	PGE	144	60	绿色 (RoHS 且无Sb / Br)	CU NIPDA U	Level-1-260C- UNLIM	0 ~ 0	CLM320VC33PGE	
CLM320VC33PG E120G4	NRND	LQFP	PGE	144	60	绿色 (RoHS 且无Sb / Br)	CU NIPDA U	Level-1-260C- UNLIM	0 ~ 0	CLM320VC33PGE	
CLM320VC33PG E150	NRND	LQFP	PGE	144	60	绿色 (RoHS 且无Sb / Br)	CU NIPDA U	Level-1-260C- UNLIM	0 ~ 0	CLM320VC33PGE- 150	
CLM320VC33PG EA120	NRND	LQFP	PGE	144	60	绿色 (RoHS 且无Sb / Br)	CU NIPDA U	Level-1-260C- UNLIM	0 ~ 0	CLM320VC33PGEA 120	

PGE (S-PQFP-G144)



- 注意：A. 所有线性尺寸均以毫米为单位。
 B. 本图纸如有更改，恕不另行通知。
 C. 属于JEDEC MS-026