

SW3011 用于生理信号测量的低功耗、单通道、24 位模拟前端

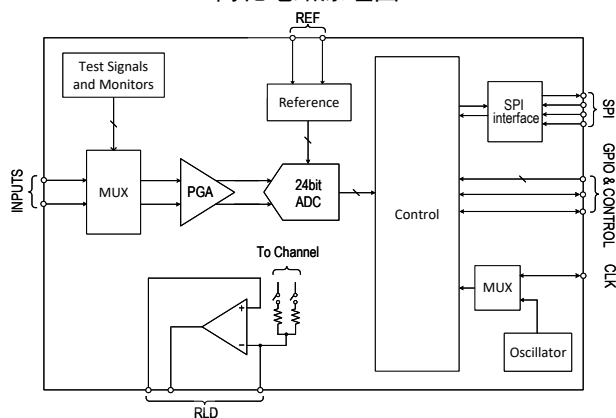
1 特性

- 1 个低噪声可编程增益放大器 (PGA) 和 1 个高分辨率模数转换器 (ADC)
- 数据速率: 31.25SPS 至 32kSPS
- 可编程增益: 1、2、3、4、6、8 或 12
- 超低输入参考噪声: 4.07 μ Vpp(0.64 μ Vrms) (BW = 150Hz, G = 6)
- CMRR: -122dB
- 灵活的功耗模式: 高速模式 (HS)、低功耗模式 (LP)、超低功耗模式 (ULP)
- 超低功耗模式, 功耗仅 410 μ W(AVDD = 3V, DVDD = 1.8V, ODR = 500SPS, G = 6)
- 内置低温漂基准
- 内置时钟, 可对外输出, 且频率可调
- 内置右腿驱动放大器、导联脱落检测、温度传感器、测试信号
- 可支持数字起搏检测
- 数据缓存深度可调 (1/2/4/8/16/32)
- Offset/Gain error 校准功能
- 电源范围:
 - 模拟电源: 2.7V 至 5.25V
 - 数字电源: 1.8V 至 5.25V
- 灵活的断电、待机模式
- SPI 接口
- 工作温度范围: -40 $^{\circ}$ C 至 +85 $^{\circ}$ C

2 应用

- 医疗仪器 (ECG、EMG、EEG) 的高精度数据采集

简化电路原理图



3 说明

SW3011 是单通道 24 位 Δ - Σ 模数转换器 (ADC), 具有内置可编程增益放大器 (PGA)、内部低温漂基准和内置频率可调的振荡器。SW3011 针对 ECG 和 EEG 应用场景设计, 具备右腿驱动、导联脱落检测、数字起搏检测等功能, 可切换到内部时钟与内部参考, 从而简化 ECG/EEG 外围电路。针对电池应用场景, SW3011 提供了 ULP 模式, 极大地提升了续航。SW3011 的数据缓存功能, 可减少 MCU 的中断次数, 有助于节省系统功耗。选用 SW3011 可大幅降低 ECG 应用产品的尺寸、功耗及成本。

SW3011 可通过配置多路复用器, 选择连接到 ADC 主通道的信号, 实现 offset 测试, 温度检测和通道测试。SW3011 具备基于激励电流阱/电流源的导联检测功能, 电流范围为 6nA~399nA, 可根据产品需求进行选择调整。此外, SW3011 的输出数据速率高达 32kSPS, 因此可实现数字起搏检测。

SW3011 具有非常低的输入参考噪声, 在 GAIN = 12 时, 输入参考噪声可低至 0.20 μ Vrms(1.24 μ Vpp)。共模抑制比 (CMRR) 在单位增益模式下不低于 -122dB。另外, SW3011 在输出速率为 32kSPS 时, 仍具有 87dB 的 SNR, 具有非常优异的性能。

SW3011 采用 4.00mm*4.00mm 32-PIN 引脚无引线四方扁平封装 (QFN), 额定工作温度范围可达 -40 $^{\circ}$ C~+85 $^{\circ}$ C。

器件信息 (1)

器件型号	封装	封装尺寸
SW3011	QFN(32)	4.00mm×4.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的封装选项附录。

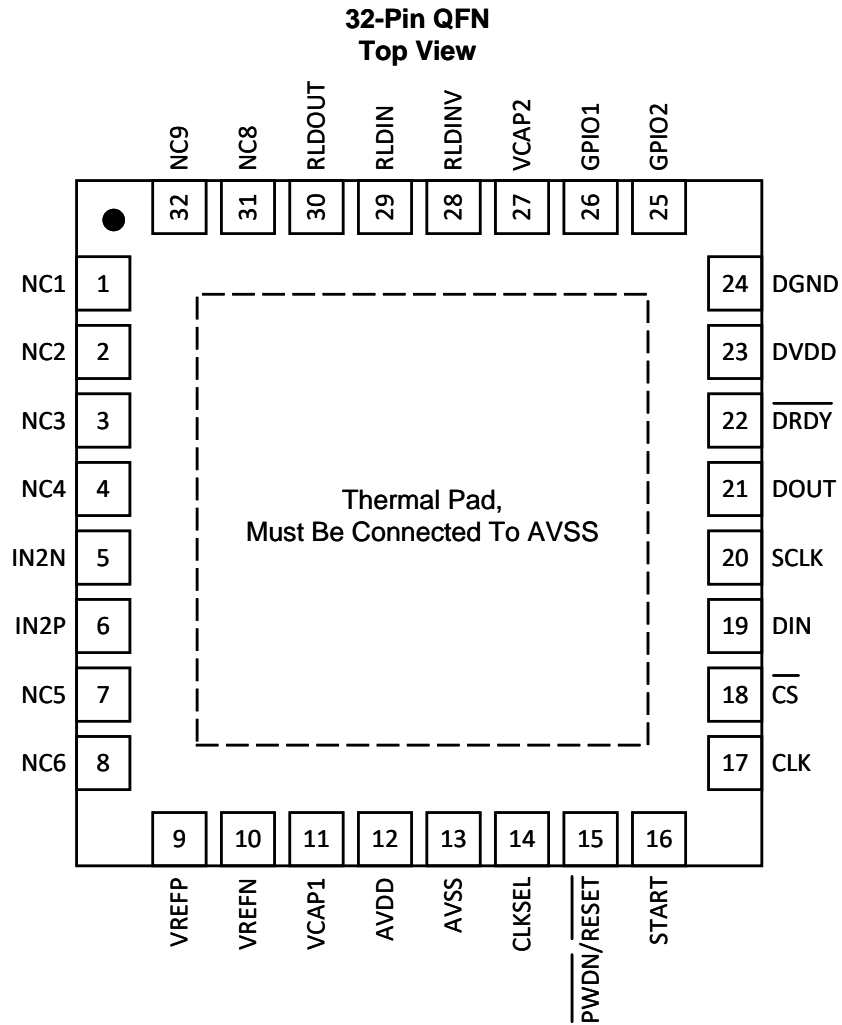
目录

1	特性	1	8.3.6	基准	18
2	应用	1	8.3.7	时钟	19
3	说明	1	8.3.8	数据格式	20
4	修订历史记录	2	8.3.9	多器件配置	21
5	引脚定义和功能	3	8.3.10	ECG 特定功能	22
6	规格	5	8.3.11	设置用于基本数据捕获的设备	26
	6.1 绝对最大额定值	5	8.3.12	导联脱落检测	27
	6.2 ESD/LU 性能指标	5	8.4	器件功能模式	27
	6.3 建议的工作条件	5	8.5	编程	27
	6.4 热性能信息	6	8.5.1	SPI 接口	27
	6.5 电气特性	6	8.5.2	SPI 命令定义	33
	6.6 时序要求：串行接口	8	8.6	寄存器映射	37
	6.7 典型特性	9	8.6.1	寄存器说明	38
7	参数测量信息	11	9	应用和实现	50
	7.1 噪声测量	11	9.1	应用信息	50
8	详细说明	13	9.2	典型应用	50
	8.1 概要	13	10	电源建议	51
	8.2 功能方框图	13	10.1	上电排序	51
	8.3 特性说明	13	11	布局	52
	8.3.1 EMI 滤波器	13	11.1	布局指南	52
	8.3.2 输入多路复用器	14	11.1.1	PCB 布局	52
	8.3.3 模拟输入	16	11.1.2	屏蔽模拟信号路径	53
	8.3.4 PGA 设置及输入范围	17	11.2	布局示例	54
	8.3.5 数字抽取滤波器	18	12	机械、封装和可订购信息	55

4 修订历史记录

- V1.0:
初版
- V2.0:
添加了数据缓存功能说明;
更新典型特性和噪声参数。
- V2.1:
RESP2 寄存器复位值修正为 03h;
更新 CMRR 和 PSRR 数据。

5 引脚定义和功能



引脚功能

引脚		类型	说明
编号	名称		
1	NC1	/	不需连接
2	NC2	/	不需连接
3	NC3	/	不需连接
4	NC4	/	不需连接
5	IN2N	模拟输入	差分模拟输入 (负端)
6	IN2P	模拟输入	差分模拟输入 (正端)
7	NC5	/	不需连接
8	NC6	/	不需连接
9	VREFP	模拟输入/输出	正基准输入/输出电压; 外接到 VREFN 的 10 μ F 电容
10	VREFN	模拟输入	负基准电压; 接模拟地
11	VCAP1	/	模拟旁路电容; 外接到 AVSS 的 1 μ F 电容
12	AVDD	电源	模拟电源
13	AVSS	电源	模拟地
14	CLKSEL	数字输入	主时钟选择; 高电平选择内部振荡器输出
15	$\overline{\text{PWDN/RESET}}$	数字输入	断电或系统复位; 低电平有效
16	START	数字输入	开始转换
17	CLK	数字输入/输出	主时钟
18	$\overline{\text{CS}}$	数字输入	片选信号; 低电平有效
19	DIN	数字输入	SPI 数据输入
20	SCLK	数字输入	SPI 时钟
21	DOUT	数字输出	SPI 数据输出
22	$\overline{\text{DRDY}}$	数字输出	数据就绪; 低电平有效
23	DVDD	电源	数字电源
24	DGND	电源	数字地
25	GPIO2	数字输入/输出	通用输入/输出 2
26	GPIO1	数字输入/输出	通用输入/输出 1
27	VCAP2	/	模拟旁路电容; 外接到 AVSS 的 1 μ F 电容
28	RLDINV	模拟输入/输出	右腿驱动反相输入
29	RLDIN	模拟输入	右腿驱动输入
30	RLDOUT	模拟输出	右腿驱动输出
31	NC8	/	不需连接
32	NC9	/	不需连接
Power PAD		/	Thermal pad; 必须连接至 AVSS

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得 (除非另有说明)⁽¹⁾

	最小值	最大值	单位
AVDD 至 AVSS	-0.3	5.5	V
DVDD 至 DGND	-0.3	5.5	V
AVSS 至 DGND	-0.2	0.2	V
AVSS 至 VREFP 输入	AVSS - 0.3	AVDD + 0.3	V
模拟输入电压	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	DGND - 0.3	DVDD + 0.3	V
数字输出电压	DGND - 0.3	DVDD + 0.3	V
输入电流 (瞬时)		100	mA
输入电流 (连续)		10	mA
结温, T _J		125	°C
贮存温度, T _{stg}	-55	155	°C

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD/LU 性能指标

项目	参数	值	单位
ESD	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽¹⁾	±6000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±2000	
Latch-Up	Latch-Up 测试电流 (T _A = 25°C ± 5 °C)	±200	mA

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在工作环境温度范围内 (除非另外注明)

	最小值	标称值	最大值	单位
电源				
模拟电源 (AVDD-AVSS)	2.7	3	5.25	V
数字电源 (DVDD)	1.8	3	5.25	V
模拟输入				
满标量程差分输入电压范围 (AINP -AINN)	±V _{REF} /增益			V
共模输入电压	(AVDD-AVSS)/2			V
电压基准输入				
差分基准电压	3V 电源 V _{REF} = (VREFP -VREFN)		2.5	V
	5V 电源 V _{REF} = (VREFP -VREFN)		4	V
时钟输入				
外部时钟输入频率	CLKSEL = 0		512	kHz
数字输入				
输入电压	DGND		DVDD	V
温度范围				
工业级	-40		+85	°C

6.4 热性能信息

热指标		QFN	单位
		32 引脚	
$R_{\theta JA}$	结至环境热阻	33.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	36.4	°C/W
$R_{\theta JB}$	结至电路板热阻	25.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	7.4	°C/W

6.5 电气特性

若非另有说明，以下性能的测试条件为：25°C，AVDD-AVSS = 3V，DVDD = 1.8V，LP 模式，V_{REF} = 2.454V，f_{CLK}(外部) = 512kHz，数据速率 = 500SPS，PGA 增益 = 6。

参数	测试条件	典型值	单位
模拟电压输入范围		$\pm V_{REF}/Gain$	V
共模电压输入范围		请参阅PGA 设置及输入范围的输入共模范围小节	V
PGA 性能			
增益设置		1,2,3,4,6,8,12	V/V
带宽		53.61	kHz
ADC 性能			
精度		24	位
内部调制器频率	HS 模式	f _{MOD} = 512k	Hz
	LP 模式	f _{MOD} = 128k	Hz
	ULP 模式	f _{MOD} = 64k	Hz
输出数据速率	HS 模式	DR = 250/500/1k/2k/4k/8k/16k/32k	SPS
	LP 模式	DR = 62.5/125/250/500/1k/2k/4k/8k	SPS
	ULP 模式	DR = 31.25/62.5/125/250/500/1k/2k/4k	SPS
SNR	HS 模式	114	dB
	LP 模式	106	dB
	ULP 模式	97	dB
THD	HS 模式	99	dB
	LP 模式	81	dB
	ULP 模式	75	dB
直流通道性能			
输入参考噪声	HS 模式; Gain = 6V/V; 500SPS	0.58	μVrms
		4.01	μVpp
	LP 模式; Gain = 2V/V; 500SPS	1.22	μVrms
		7.89	μVpp
	ULP 模式; Gain = 1V/V; 500SPS	2.8	μVrms
		19.04	μVpp
失调电压	不校准	±12	μV
增益误差	不校准	±0.2	占 FS 的百分比 (%/FS)
交流通道性能			
CMRR 共模抑制比	f _{CM} = 50Hz、60Hz	-122	dB
PSRR 电源抑制比	f _{PS} = 50Hz、60Hz	-118	dB
数字滤波器			
-3dB 带宽		0.225f _{DR}	Hz
数字滤波器稳定	完全稳定	5	转换

电气特性 (continued)

若非另有说明，以下性能的测试条件为：25°C，AVDD-AVSS = 3V，DVDD = 1.8V，LP 模式，V_{REF} = 2.454V，f_{CLK}(外部) = 512kHz，数据速率 = 500SPS，PGA 增益 = 6。

参数	测试条件	典型值	单位
右腿放大器			
RLD 积分噪声 (TBD)	BW = 150Hz	2.8	μVrms
增益带宽积	50kΩ 10pF 负载,	100	kHz
压摆率	Gain = 1V/V	0.07	V/μs
THD	Fin = 100Hz, Gain = 1V/V	-85	dB
共模输入范围		AVSS+0.3 ~ AVDD-0.3	V
导联脱落检测			
检测模式	可关闭	直流电流注入	
注入电流大小	可配置	6,12,18,24,49,99,199,399	nA
电流精度		±10%	
比较器阈值	可配置	4 (15 个 level)	bit
比较器失调电压		<10	mV
内部参考			
输出电压	CONFIG2.VREF_4V = 0	2.454	V
	CONFIG2.VREF_4V = 1	4.09	V
电流驱动能力	可供外使用	100	μA
V _{REF} 精度		±0.24%	
系统监控			
温度传感器电压	25°C	146	mV
温度传感器系数		495	μV/°C
测试信号			
测试信号频率		dc 或 1	Hz
测试信号电压	Gain = 1V/V	±1	mV
测试信号精度		±2%	
时钟			
振荡器输出频率	标称频率	512	kHz
时钟频率偏差	25°C	0.05%	
功耗 (关闭右腿放大器)			
AVDD = 3V; 模拟电流开销	HS 模式	326	μA
	LP 模式	190	μA
	ULP 模式	127	μA
AVDD = 5V; 模拟电流开销	HS 模式	422	μA
	LP 模式	245	μA
	ULP 模式	173	μA
DVDD = 1.8V; 数字电流开销	HS 模式	34	μA
	LP 模式	19	μA
	ULP 模式	16	μA
DVDD = 3.3V; 数字电流开销	HS 模式	67	μA
	LP 模式	37	μA
	ULP 模式	32	μA

电气特性 (continued)

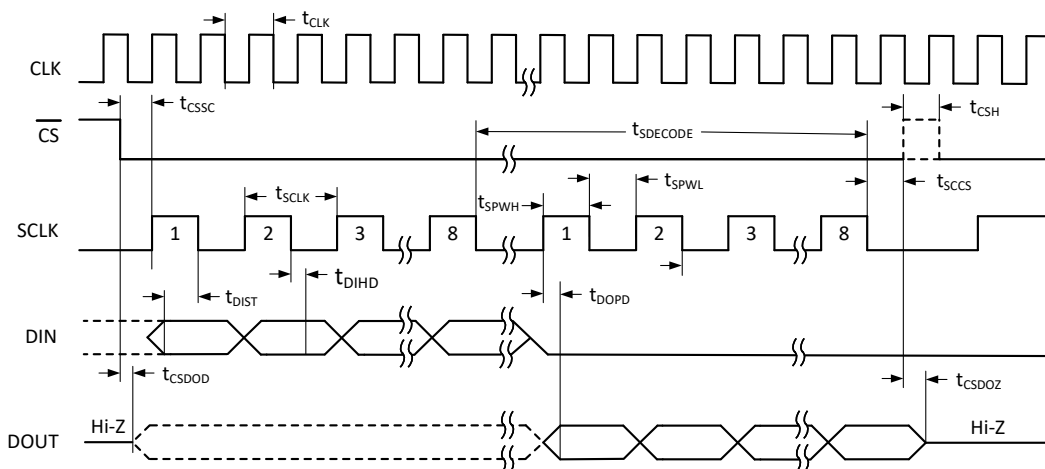
若非另有说明，以下性能的测试条件为：25°C，AVDD-AVSS = 3V，DVDD = 1.8V，LP 模式，V_{REF} = 2.454V，f_{CLK}(外部) = 512kHz，数据速率 = 500SPS，PGA 增益 = 6。

参数	测试条件	典型值	单位
AVDD = 3V; DVDD = 1.8V; 总功耗	HS 模式	1039	μW
	LP 模式	604	μW
	ULP 模式	410	μW
AVDD = 3V; DVDD = 3.3V; 总功耗	HS 模式	1199	μW
	LP 模式	692	μW
	ULP 模式	487	μW
断电	AVDD = 3V	1.5	μA

6.6 时序要求：串行接口

规格适用于 T_A = -40°C 至 +85°C(除非另有说明)；DOUT 上的负载 = 20pF || 100kΩ。

参数		1.65V ≤ DVDD ≤ 5.25V		单位
		最小值	最大值	
t _{CLK}	主时钟周期 (CLK_DIV = 0)	1775	2170	ns
	主时钟周期 (CLK_DIV = 1)	444	542	ns
t _{CS}	CS 低电平至第一个 SCLK，设置时间	17		ns
t _{SCLK}	SCLK 周期	66.6		ns
t _{SPWH,L}	SCLK 脉冲宽度，高电平和低电平结至电路板热阻	25		ns
t _{DIST}	DIN 有效至 SCLK 下降沿：设置时间	10		ns
t _{DIHD}	SCLK 下降沿之后的有效 DIN：保持时间	11		ns
t _{DOPD}	SCLK 上升沿至 DOUT 有效		22	ns
t _{CSH}	CS 高电平脉冲	2		t _{CLK}
t _{CSDOD}	CS 低电平至 DOUT 驱动	20		ns
t _{SCCS}	第八个 SCLK 下降沿至 CS 高电平	3		t _{CLK}
t _{SDECODE}	命令解码时间	4		t _{CLK}
t _{CSDOZ}	CS 高电平至 DOUT Hi-Z		20	ns



注意：SPI 设置为 CPOL = 0 且 CPHA = 1。

图 6-6-1. 串行接口时序

6.7 典型特性

测试条件为 $T_A = 25^\circ\text{C}$ ， $AVDD = 3\text{V}$ ， $AVSS = 0\text{V}$ ， $DVDD = 1.8\text{V}$ ，内部 $VREFP = 2.454\text{V}$ ， $VREFN = AVSS$ ，外部时钟 = 512kHz ，数据速率 = 500SPS ，LP 模式，增益 = 6(除非另有说明)。

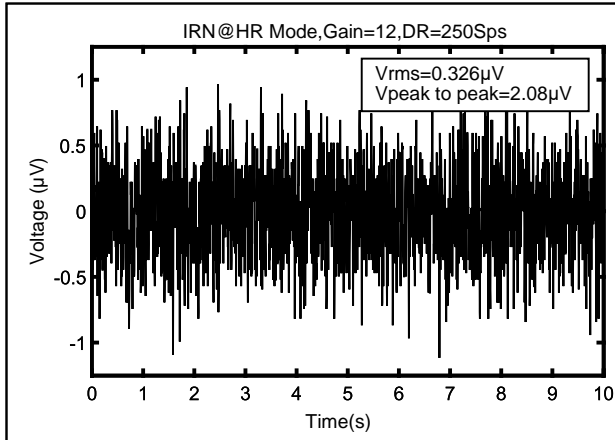


图 6-7-1.输入参考噪声

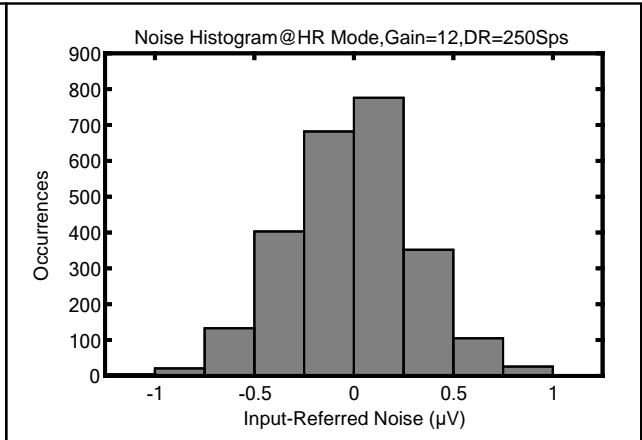


图 6-7-2.噪声直方图

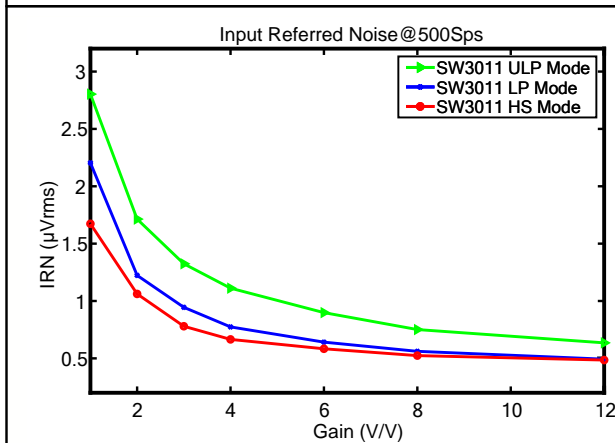


图 6-7-3.输入参考噪声与增益间的关系

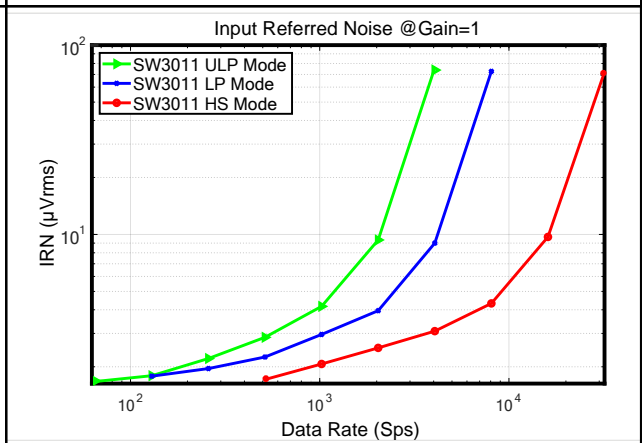


图 6-7-4.输入参考噪声与速率间的关系

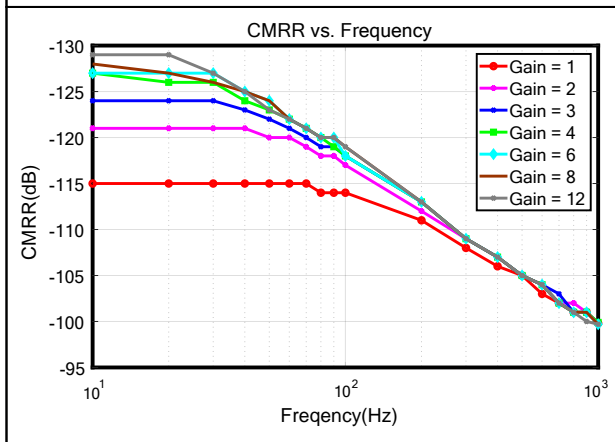


图 6-7-5.CMRR与频率间的关系

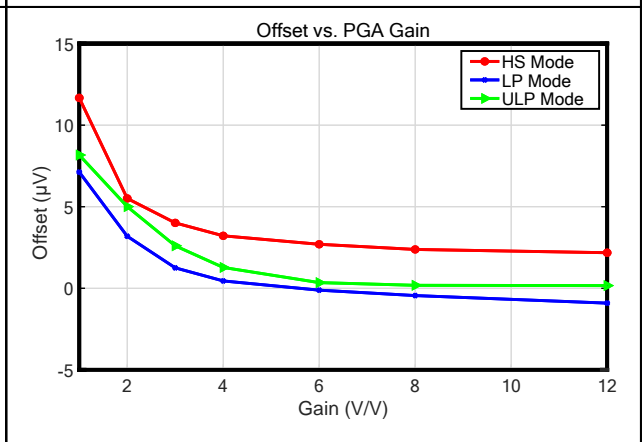


图 6-7-6.Offset与增益间的关系

典型特性 (continued)

测试条件为 $T_A = 25^\circ\text{C}$, $AVDD = 3\text{V}$, $AVSS = 0\text{V}$, $DVDD = 1.8\text{V}$, 内部 $V_{REFP} = 2.454\text{V}$, $V_{REFN} = AVSS$, 外部时钟 = 512kHz , 数据速率 = 500SPS , LP 模式, 增益 = 6(除非另有说明)。

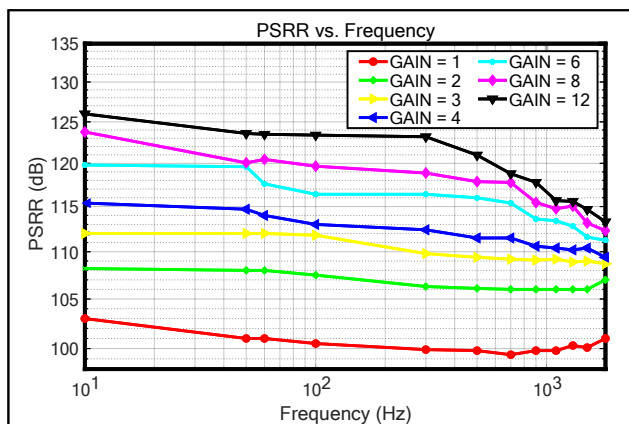


图 6-7-7.PSRR与频率间的关系

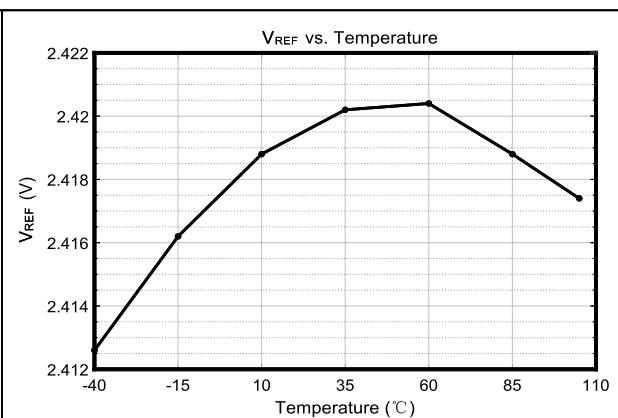


图 6-7-8. V_{REF} 与温度间的关系

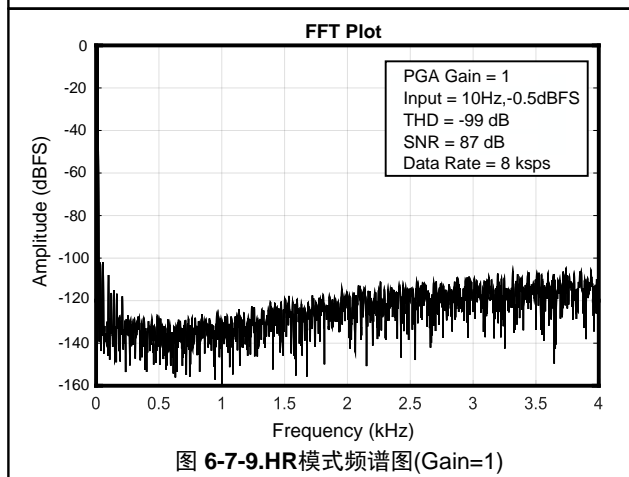


图 6-7-9.HR模式频谱图(Gain=1)

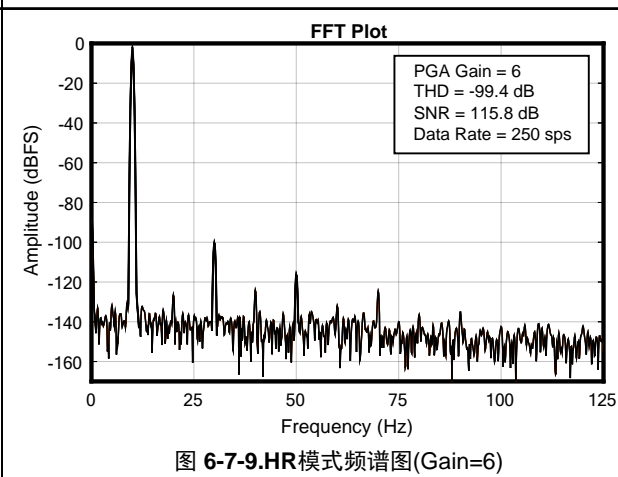


图 6-7-9.HR模式频谱图(Gain=6)

7 参数测量信息

7.1 噪声测量

可通过调整数据速率和 PGA 增益来优化 SW3011 噪声性能。降低数据速率可增加平均值，噪声也会相应地降低。增加 PGA 增益可降低输入参考噪声。在测量低水平生物电势信号时，这种降低的噪声水平特别有用。表 7-1-1、表 7-1-2 和表 7-1-3 分别总结了使用 3V 模拟电源时在高分辨率 (HS) 模式、低功耗 (LP) 模式和超低功耗 (ULP) 下 SW3011 的噪声性能。表 7-1-4、表 7-1-5 和表 7-1-6 分别总结了使用 5V 模拟电源时在 HS 模式、LP 和 ULP 模式下 SW3011 的噪声性能。这些数据代表 $T_A = 25^\circ\text{C}$ 时的典型噪声性能。显示的数据是对来自多个器件的读数求平均值的結果，并在输入短路的情况下进行测量。至少使用了 1000 个连续读数来计算每个读数的 RMS 和峰峰值噪声。对于两个最高数据速率，噪声受到 ADC 的量化噪声的限制，没有高斯分布。

表 7-1-1 至表 7-1-6 显示了使用内部基准进行的测量。这些数据还代表使用低噪声外部基准 (如 REF5025、REF5045) 时的 SW3011 噪声性能。

表 7-1-1. 高分辨率模式下的输入参考噪声 $\mu\text{V}_{\text{RMS}}(\mu\text{V}_{\text{PP}})$
3V 模拟电源和 2.4V 基准电压 ⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
1000	250	56.25	1.56(8.20)	0.91(4.97)	0.65(3.92)	0.53(3.23)	0.43(2.74)	0.39(2.54)	0.36(2.32)
0000	500	112.5	1.67(9.98)	1.06(6.18)	0.77(4.72)	0.66(4.02)	0.58(4.01)	0.54(3.57)	0.50(3.35)
0001	1000	225	2.01(11.77)	1.21(7.64)	0.94(6.00)	0.85(5.46)	0.77(5.15)	0.72(4.74)	0.69(4.46)
0010	2000	450	2.46(14.95)	1.53(9.76)	1.26(8.07)	1.14(7.49)	1.05(6.60)	1.00(6.49)	0.96(5.87)
0011	4000	900	3.01(19.71)	2.07(13.82)	1.70(11.04)	1.58(10.45)	1.45(9.44)	1.42(9.11)	1.39(8.79)
0100	8000	1800	4.23(27.32)	2.86(19.10)	2.34(15.52)	2.17(13.88)	2.05(13.26)	1.99(13.01)	1.92(12.30)
0101	16000	3600	9.57(61.78)	5.23(33.71)	4.09(26.83)	3.54(22.63)	3.09(20.07)	2.94(19.66)	2.84(18.29)
0110	32000 ⁽²⁾	7200	72.18(473.90)	36.62(229.52)	25.51(156.78)	19.04(120.55)	12.87(81.06)	10.09(62.80)	7.38(48.41)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

(2) 输出速率为 32kSPS 时，建议将斩波频率设置为 32kHz(CHOP = 10)。

表 7-1-2. 低功耗模式下的输入参考噪声 $\mu\text{V}_{\text{RMS}}(\mu\text{V}_{\text{PP}})$
3V 模拟电源和 2.4V 基准电压 ⁽¹⁾

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
1000	62.5	14.0625	1.62(8.68)	0.79(4.21)	0.58(3.09)	0.45(2.58)	0.32(1.85)	0.26(1.57)	0.21(1.30)
0000	125	28.125	1.73(9.90)	0.89(5.12)	0.65(3.87)	0.54(3.13)	0.39(2.38)	0.32(2.00)	0.27(1.81)
0001	250	56.25	1.91(11.36)	1.06(6.30)	0.77(4.89)	0.63(3.89)	0.48(2.97)	0.42(2.72)	0.36(2.42)
0010	500	112.5	2.20(13.74)	1.22(7.89)	0.94(5.99)	0.77(5.02)	0.64(4.07)	0.56(3.50)	0.49(3.15)
0011	1000	225	2.89(18.20)	1.64(10.54)	1.23(8.05)	1.06(6.70)	0.86(5.59)	0.76(4.94)	0.69(4.25)
0100	2000	450	3.87(25.70)	2.29(14.59)	1.73(12.24)	1.49(9.87)	1.19(7.73)	1.07(7.02)	0.98(6.52)
0101	4000	900	8.87(59.47)	4.65(30.29)	3.47(23.53)	2.72(17.74)	2.02(13.63)	1.74(11.57)	1.49(9.84)
0110	8000	1800	72.65(460.60)	37.54(239.82)	26.37(158.88)	18.36(119.31)	12.55(97.66)	9.27(61.55)	6.69(43.39)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

表 7-1-3. 超低功耗模式下的输入参考噪声 $\mu V_{RMS}(\mu V_{PP})$
3V 模拟电源和 2.4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
1000	31.25	7.03125	1.42(7.49)	0.69(3.88)	0.51(2.96)	0.43(2.35)	0.34(2.02)	0.27(1.57)	0.20(1.24)
0000	62.5	14.0625	1.62(9.34)	0.83(5.08)	0.61(3.52)	0.53(3.19)	0.40(2.45)	0.32(1.97)	0.26(1.59)
0001	125	28.125	1.75(10.44)	0.97(6.05)	0.75(4.64)	0.63(3.87)	0.51(3.11)	0.42(2.71)	0.34(2.21)
0010	250	56.25	2.15(14.10)	1.27(8.27)	0.96(6.07)	0.83(5.51)	0.65(4.33)	0.56(3.66)	0.45(2.96)
0011	500	112.5	2.80(19.04)	1.71(11.33)	1.32(8.54)	1.11(7.25)	0.89(5.79)	0.75(4.86)	0.63(3.94)
0100	1000	225	4.09(26.71)	2.40(15.32)	1.85(11.98)	1.56(9.73)	1.25(7.96)	1.08(6.86)	0.89(5.97)
0101	2000	450	9.21(64.56)	5.39(36.71)	3.60(24.86)	2.96(19.19)	2.20(15.09)	1.79(12.10)	1.42(8.97)
0110	4000	900	75.92(487.38)	41.33(251.12)	26.89(174.36)	20.97(130.77)	13.40(88.96)	9.74(64.04)	7.56(47.38)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

表 7-1-4. 高分辨率模式下的输入参考噪声 $\mu V_{RMS}(\mu V_{PP})$
5V 模拟电源和 4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
1000	250	56.25	2.29(10.48)	1.13(5.56)	0.84(4.23)	0.66(3.60)	0.50(2.86)	0.42(2.55)	0.36(2.22)
0000	500	112.5	2.55(13.01)	1.31(7.04)	0.96(5.52)	0.79(4.66)	0.64(3.85)	0.56(3.41)	0.51(3.16)
0001	1000	225	2.69(15.69)	1.44(8.62)	1.08(6.71)	0.92(6.04)	0.78(5.13)	0.72(4.55)	0.68(4.42)
0010	2000	450	2.80(16.77)	1.58(10.16)	1.29(8.10)	1.17(7.53)	1.03(6.76)	0.98(6.23)	0.92(5.97)
0011	4000	900	3.30(21.16)	2.08(13.89)	1.70(10.79)	1.54(9.82)	1.38(8.55)	1.35(8.46)	1.29(8.37)
0100	8000	1800	4.47(28.81)	2.87(19.06)	2.39(15.69)	2.15(14.35)	1.97(12.50)	1.90(12.24)	1.85(11.78)
0101	16000	3600	13.29(87.66)	7.17(46.90)	4.87(31.33)	4.08(25.76)	3.32(20.80)	2.97(19.78)	2.73(17.98)
0110	32000 ⁽²⁾	7200	113.33(726.82)	60.81(377.81)	40.11(252.04)	30.44(192.55)	20.07(133.26)	15.08(93.66)	10.31(65.18)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

(2) 输出速率为 32kSPS 时，建议将斩波频率设置为 32kHz(CHOP = 10)。

表 7-1-5. 低功耗模式下的输入参考噪声 $\mu V_{RMS}(\mu V_{PP})$
5V 模拟电源和 4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
1000	62.5	14.0625	2.15(11.06)	1.09(5.41)	0.75(3.85)	0.58(3.03)	0.47(2.44)	0.36(2.02)	0.25(1.47)
0000	125	28.125	2.52(12.77)	1.19(6.38)	0.81(4.66)	0.67(3.83)	0.50(3.03)	0.41(2.51)	0.31(1.97)
0001	250	56.25	2.28(13.65)	1.24(7.50)	0.88(5.37)	0.72(4.38)	0.57(3.40)	0.49(3.04)	0.40(2.55)
0010	500	112.5	2.60(16.28)	1.39(9.31)	1.04(6.63)	0.84(5.48)	0.69(4.27)	0.60(3.85)	0.54(3.59)
0011	1000	225	3.10(20.33)	1.80(11.43)	1.28(8.49)	1.06(6.67)	0.90(5.65)	0.81(5.26)	0.73(4.64)
0100	2000	450	4.59(30.03)	2.43(15.67)	1.85(11.65)	1.55(10.60)	1.25(8.19)	1.12(7.15)	1.03(6.91)
0101	4000	900	13.04(89.32)	6.99(47.63)	4.86(31.54)	3.56(23.70)	2.70(17.90)	2.21(15.80)	1.76(12.24)
0110	8000	1800	127.24(813.26)	63.35(484.54)	40.32(249.63)	31.37(197.22)	20.21(138.14)	15.82(100.68)	10.57(69.88)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

表 7-1-6. 超低功耗模式下的输入参考噪声 $\mu V_{RMS}(\mu V_{PP})$
5V 模拟电源和 4V 基准电压 (1)

CONFIG1 寄存器的 DR 位	输出数据速率 (SPS)	-3dB 带宽 (Hz)	PGA 增益 = 1	PGA 增益 = 2	PGA 增益 = 3	PGA 增益 = 4	PGA 增益 = 6	PGA 增益 = 8	PGA 增益 = 12
1000	31.25	7.03125	1.91(9.55)	1.27(6.31)	0.81(4.19)	0.63(3.31)	0.44(2.41)	0.36(1.99)	0.25(1.44)
0000	62.5	14.0625	2.01(11.11)	1.28(6.72)	0.91(5.15)	0.63(3.74)	0.52(2.98)	0.40(2.40)	0.30(1.75)
0001	125	28.125	2.33(14.04)	1.33(8.04)	0.90(5.63)	0.73(4.61)	0.54(3.42)	0.47(2.96)	0.36(2.36)
0010	250	56.25	2.77(18.03)	1.55(9.53)	1.13(6.79)	0.87(5.38)	0.70(4.37)	0.60(3.93)	0.48(2.97)
0011	500	112.5	3.10(20.62)	1.85(12.45)	1.41(9.32)	1.15(7.43)	0.91(6.07)	0.79(5.04)	0.65(4.12)
0100	1000	225	4.56(29.93)	2.57(17.28)	1.96(12.57)	1.65(10.97)	1.31(8.57)	1.09(7.21)	0.91(5.98)
0101	2000	450	15.80(107.75)	7.35(49.53)	4.90(33.62)	4.01(27.43)	2.90(19.99)	2.26(14.74)	1.71(11.18)
0110	4000	900	123.14(817.16)	63.71(427.59)	41.91(276.61)	33.85(205.75)	20.99(135.21)	17.3(103.97)	10.75(71.26)

(1) 至少使用了 1000 个连续读数来计算该表中的 RMS 和峰峰值噪声值。

8 详细说明

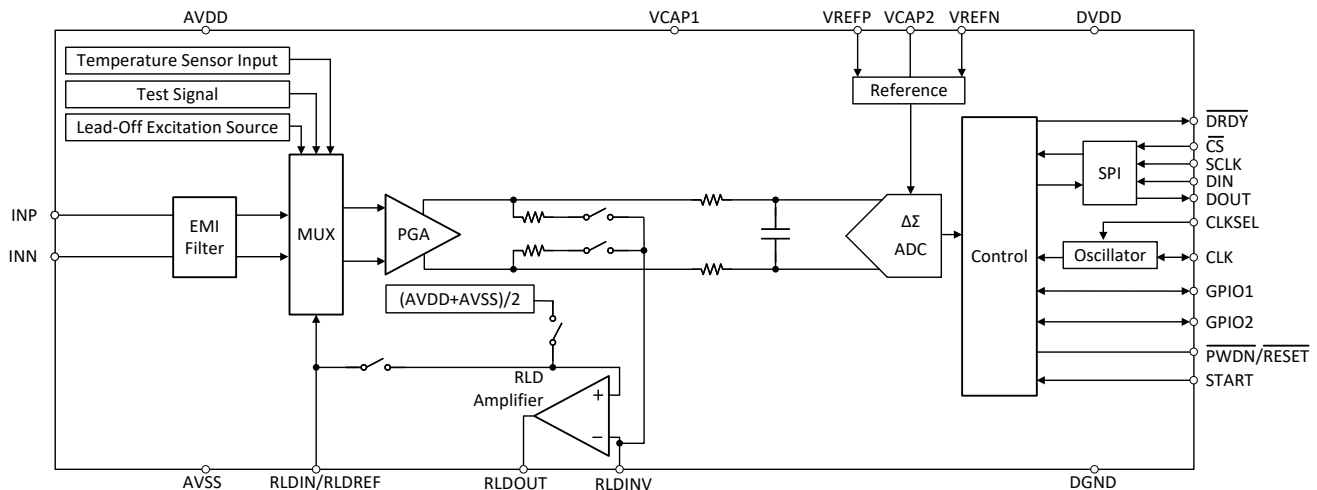
8.1 概要

SW3011 是集成了可编程增益放大器 (PGA) 的低功耗 24 位 delta-sigma (Δ - Σ) 模数转换器 (ADC)。SW3011 集成了为心电图 (ECG) 定制的各种功能, 非常适用于 ECG、运动和健身应用场景。通过关闭 ECG 定制电路, SW3011 还可以用于高性能数据采集系统。

SW3011 具有高度可编程的多路复用器, 允许温度、自检、输入短路和 RLD 测量。此外, 该多路复用器允许任何输入电极被编程为患者参考电平驱动。PGA 的增益可以从七种配置 (1、2、3、4、6、8 和 12) 中选择。SW3011 使用 SPI 通信, ADC 提供 31.25SPS~32kSPS 的数据传输速率。SW3011 还提供了两个通用 I/O (GPIO) 引脚。多个设备可以使用 START 引脚进行同步。

SW3011 内部参考可以编程为 2.454V 或 4.09 V。内部振荡器可产生一个频率为 512kHz 的时钟。右腿驱动 (RLD) 模块允许用户选择输入电极组合的平均值, 以产生患者的驱动信号。导联脱落检测可以通过使用上下拉内部电流源来完成。功能模块框图展示了 SW3011 的详细架构。

8.2 功能方框图



8.3 特性说明

本节包含 SW3011 内部功能元素的详细信息。首先讨论模拟模块, 然后讨论数字接口, 最后介绍了实现 ECG 特定功能的模块。在本文中, f_{CLK} 表示 CLK 引脚处的信号频率, t_{CLK} 表示 CLK 引脚的信号周期, f_{DR} 表示输出数据速率, t_{DR} 表示输出数据周期, f_{MOD} 表示调制器对输入采样的频率。

8.3.1 EMI 滤波器

输入处的 RC 滤波器作为电磁干扰 (EMI) 滤波器, 其 -3dB 带宽大约为 3MHz。

8.3.2 输入多路复用器

SW3011 的输入多路选择器可以提供非常灵活的信号切换，以便于系统的诊断、校准和配置。该选择器通过 CH2SET 寄存器来配置。图 8-3-1 展示了 SW3011 的多路选择器。

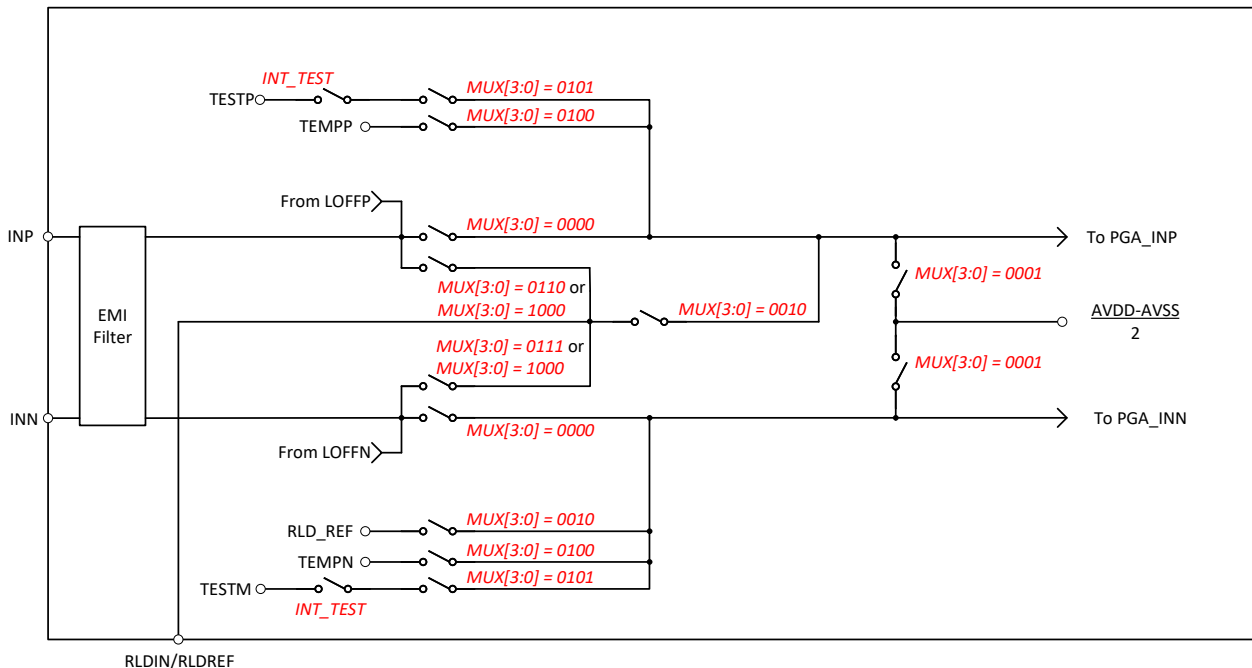


图 8-3-1. 输入多路复用器框图

8.3.2.1 器件噪声测量

CH2SET[3:0] = 0001，可将通道的差分输入短接到 (AVDD-AVSS)/2。这种配置可以用于测试 SW3011 内部的噪声。

8.3.2.2 测试信号 (TestP 和 TestN)

CH2SET[3:0] = 0101，可以利用内部产生的测试信号来验证上电后的系统。测试信号也可通过 PIN 脚往外输出。尽管测试信号类似于 IEC60601-2-51 的校准信号，但不可直接用于符合性测试。

8.3.2.3 温度传感器 (TempP、TempN)

SW3011 有片上温度传感器，便于监测芯片工作环境。该传感器使用两个二极管，其中一个的电流密度是另一个的 16 倍，该电流密度的差产生一个相对于温度的电压，如图 8-3-2。

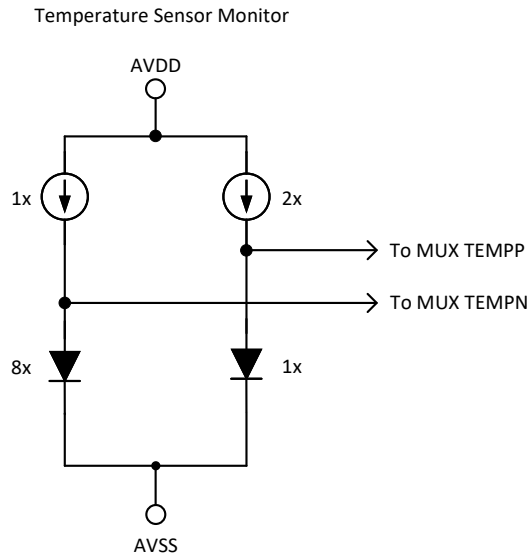


图 8-3-2. 输入端的温度传感器测量

该电压对应的温度，见如下转换公式：

$$\text{Temperature}(\text{°C}) = \left[\frac{\text{Temperature Reading}(\mu\text{V}) - 144,890\mu\text{V}}{495\mu\text{V}/\text{°C}} \right] + 25\text{°C} \quad (1)$$

注意：将模式限定为 LP，且 ADC 输出码字的读数要先转换为 μV ，另外，由于芯片的自发热，PCB 温度可能跟该读数有所差异。

8.3.2.4 辅助单端输入

RLDIN/RLDREF PIN 脚主要用于路由右腿驱动信号到任意一个电极。同时，该 PIN 还可以作为辅助单端输入。即将该 PIN 作为差分输入的一端，测量相对于另一端的差分数值。另外，还可以通过 $\text{MUX}[3:0] = 0010$ 来测量 RLDIN/RLDREF PIN 相对于中间电平 $(\text{AVDD}-\text{AVSS})/2$ 的值。

8.3.3 模拟输入

SW3011 模拟量输入为全差分输入。假设 $PGA = 1$ ，差分输入 ($INP - INN$) 可以在 $-V_{REF}$ 到 $+V_{REF}$ 之间。请注意， INP 和 INN 的绝对范围必须在 $AVSS-0.3V$ 和 $AVDD+0.3V$ 之间。有两种驱动 SW3011 模拟输入单端或差分的通用方法，如图 8-3-3 和图 8-3-4 所示。请注意，在差分输入方式中， INP 和 INN 的相位相差 $180^\circ C$ 。当输入为单端时， INN 保持在共模电压，尽量保持在中间电源。 INP 在相同的公共电压附近浮动，峰间振幅为 (共模 $+1/2V_{REF}$) 和 (共模 $-1/2V_{REF}$)。当输入为差分时，共模由 $(INP+INN)/2$ 给出。 INP 和 INN 输入都从 (共模 $+1/2V_{REF}$ 到共模 $-1/2V_{REF}$) 摆动。为了获得最佳性能，建议将 SW3011 配置成差分输入。

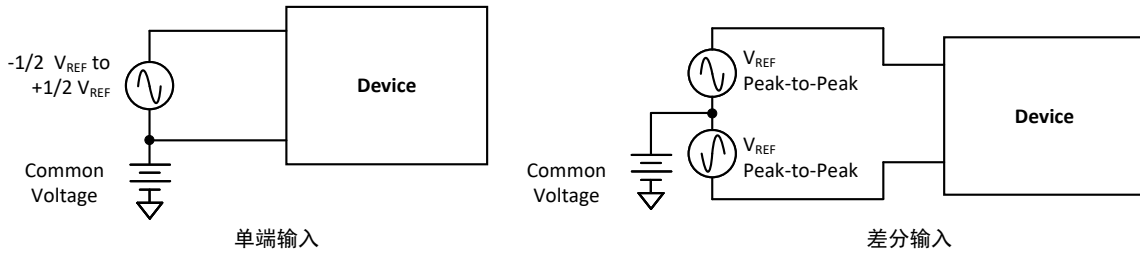


图 8-3-3. 驱动 SW3011 的方法：单端或差分

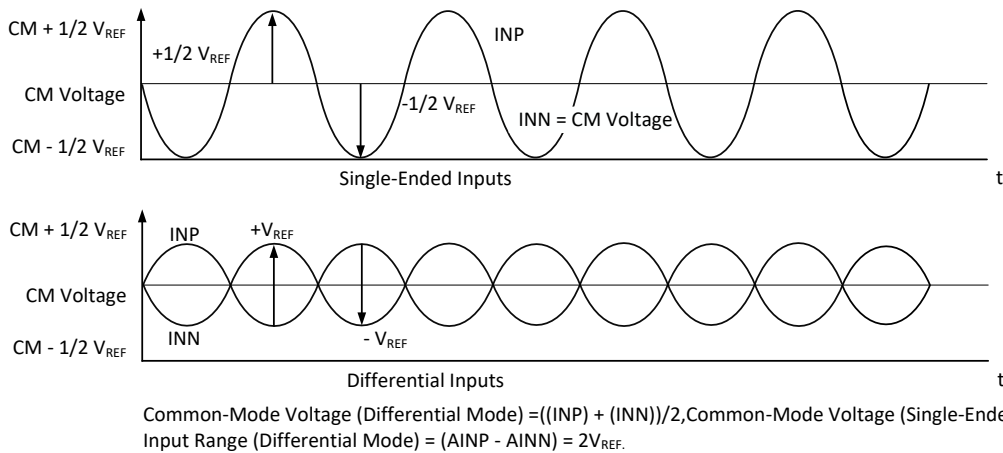


图 8-3-4. 以单端和差分输入模式使用 SW3011

8.3.4 PGA 设置及输入范围

PGA 是一个轨到轨输入输出放大器，如图 8-3-5 所示。PGA 有七个增益设置 (1、2、3、4、6、8 和 12)，可以通过写入 CH2SET 寄存器来设置 (有关详细信息，请参阅寄存器映射部分中 CH2SET: 通道设置部分)。SW3011 为 CMOS 输入，因此电流噪声可忽略不计。

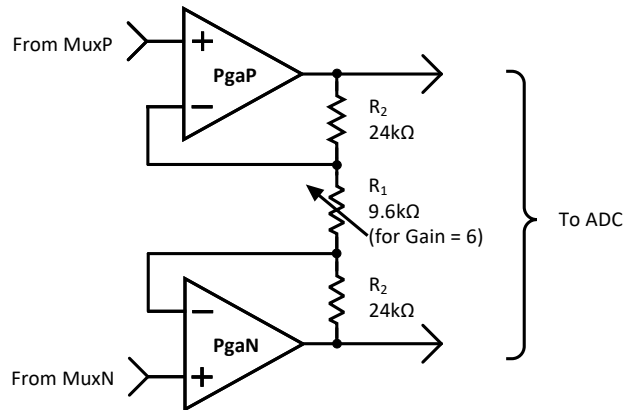


图 8-3-5. PGA 实现方式

实现增益的 PGA 电阻器串具有 57.6kΩ 的电阻，增益为 6。在存在差分输入信号的情况下，该电阻在 PGA 的输出之间提供电流路径，该电流是在输入端存在差分信号时为器件静态电流的补充。

8.3.4.1 输入共模范围

前端的可用输入共模范围取决于各种参数，包括最大输入信号、电源电压和 PGA 增益。等式 2 描述了这个范围。

$$AVDD - 0.2V - \left[\frac{\text{Gain} \times V_{\text{MAX_DIFF}}}{2} \right] > CM > AVSS + 0.2V + \left[\frac{\text{Gain} \times V_{\text{MAX_DIFF}}}{2} \right] \quad (2)$$

其中

- $V_{\text{MAX_DIFF}}$ = PGA 输入端的最大差分信号
- CM = 共模范围

例如：如果 $V_{\text{DD}} = 3V$, $\text{Gain} = 6$, $V_{\text{MAX_DIFF}} = 350\text{mV}$, 则 $1.25V < CM < 1.75V$ 。

8.3.4.2 输入差分动态范围

差分 (INP-INN) 信号范围取决于系统中使用的模拟电源和参考。等式 3 显示了这个范围。

$$\text{Max}(\text{INP} - \text{INN}) < \frac{V_{\text{REF}}}{\text{Gain}}; \text{Full - Scale Range} = \frac{\pm V_{\text{REF}}}{\text{Gain}} = \frac{2V_{\text{REF}}}{\text{Gain}} \quad (3)$$

3V 电源的参考电压为 2.454V，ECG 的增益为 6，针对差分输入信号约为 300mV 的功率进行了优化。对于更高的动态范围，可以使用参考电压为 4.09V 的 5V 电源 (由 CONFIG2 寄存器的 VREF_4V 位设置) 来增加差分动态范围。

8.3.4.3 ADC Δ - Σ 调制器

SW3011 有一个 24bit 的 Δ - Σ ADC，该 ADC 使用了 3 阶的调制器。当工作在 LP 模式下， $f_{\text{MOD}} = 128\text{kHz}$ ；当工作在 HS 模式时， $f_{\text{MOD}} = 512\text{kHz}$ ；当工作在 ULP 模式时， $f_{\text{MOD}} = 64\text{kHz}$ 。为了更极致的功耗，任何一种模式下，SW3011 的噪声都会被 Δ - Σ 调制器整形至 $f_{\text{MOD}}/2$ ，片上的抽取滤波器可以滤除更高频率的噪声。这些片上抽取滤波器也提供了抗混叠滤波，从而极大地降低了模拟抗混叠滤波器的需求。

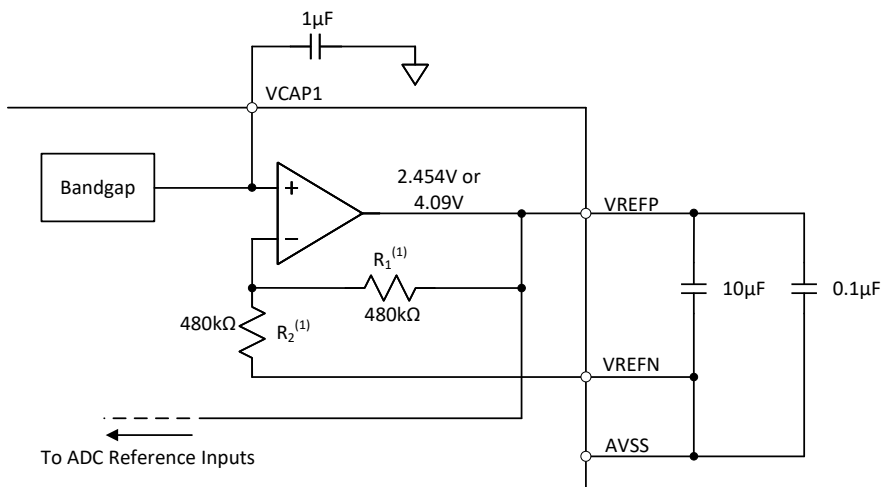
8.3.5 数字抽取滤波器

数字滤波器接收调制器的输出，并抽取该数据流。通过调整滤波的量，从而可以调整 ADC 的精度和速度：滤除更多，以得到更高精度；滤除更少，以得到更高数据率。

数字滤波器每个通道都由 4 阶 sinc 滤波器构成。其抽取率由 CONFIG1 寄存器的 DR 位来调整。值得重点提醒的是该滤波器的-3dB 带宽为 $0.225f_{\text{DATA}}$ 。

8.3.6 基准

图 8-3-6 显示了 SW3011 内部参考的简化方框图。参考电压是相对于 AVSS 产生的，VREFN 引脚需连接到 AVSS。



(1) 对于 $V_{\text{REF}} = 2.454\text{V}$ 时， $R_1 = R_2 = 480\text{k}\Omega$ ；对于 $V_{\text{REF}} = 4.09\text{V}$ 时， $R_1 = 288\text{k}\Omega$ ， $R_2 = 672\text{k}\Omega$ 。

图 8-3-6. 内部基准

外部频带限制电容器决定了参考噪声贡献的量。对于高端 ECG 系统，应选择使带宽限制在小于 10 Hz 的电容值，从而使基准噪声不会成为系统主要噪声来源。当使用 3V 模拟电源时，内部参考应设置为 2.454 V。对于 5V 模拟电源，可以通过设置 CONFIG2 寄存器中的 VREF_4V 位来将内部参考设置为 4.09V。

或者，可将内部参考缓冲器断电，并使用由外部提供的 VREFP。图 8-3-7 显示了一个典型的外部基准驱动器电路。断电由 CONFIG2 寄存器中的 PDB_REFBUF 位进行控制。当两个设备被级联时，此断电控制位也可用于共享内部基准。默认情况下，该设备在外部基准模式下被唤醒。

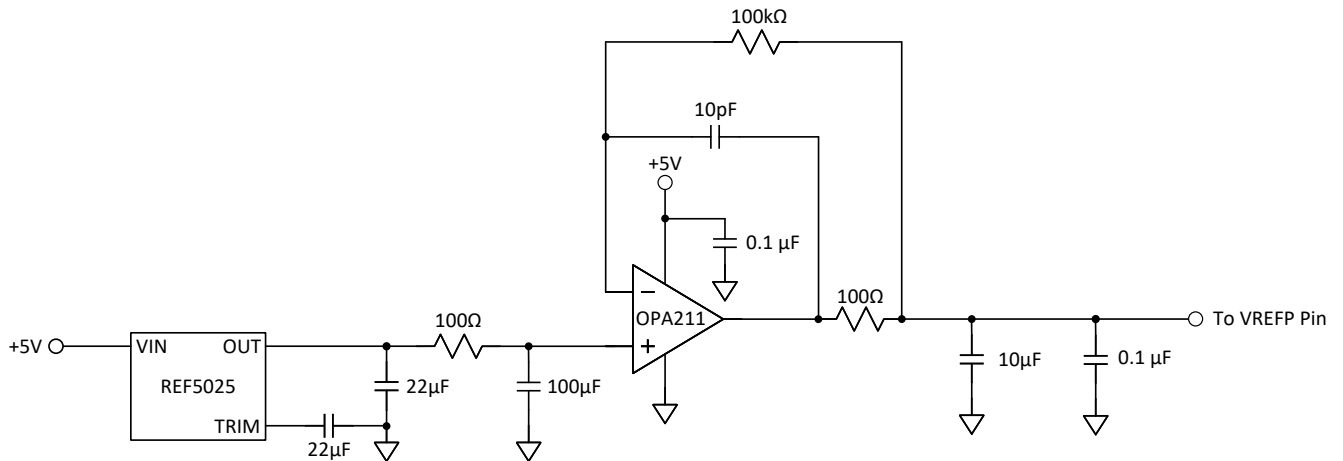


图 8-3-7. 外部基准驱动器

8.3.7 时钟

SW3011 提供两种不同的器件计时方法：内部和外部。内部时钟非常适合低功耗、电池供电的系统。内部振荡器针对室温下的精度进行了修整。时钟选择由 CLKSEL 引脚和 CLK_EN 寄存器位进行控制。

使用 CLKSEL 引脚选择内部或外部时钟。CLK_EN 位在 CONFIG2 寄存器的第 3 位，用于决定震荡时钟是否输出。表 8-3-1 显示了这两个引脚的真值表。在关断期间，建议关闭外部时钟以省电。

表 8-3-1. CLKSEL 引脚和 CLK_EN 位

CLKSEL 引脚	CONFIG1.CLK_EN 位	时钟源	CLK 引脚状态
0	X	外部时钟	输入：外部时钟
1	0	内部时钟振荡器	三态
1	1	内部时钟振荡器	输出：内部时钟振荡器

SW3011 可以在两种不同的外部时钟频率 (512 kHz 或 2.048 MHz) 之间进行选择。该频率是通过设置 LOFF_STAT 寄存器中的 CLK_DIV 位 (位 6) 来选择的。当外部时钟输入 512kHz 时，保持 CLK_DIV 为 0；当外部时钟输入 2.048MHz 时，将 CLK_DIV 写为 1，芯片内部会四频分，以保持芯片内部时钟频率恒定。SW3011 提供了更高的频率选项，以允许 SPI 以更高的速度运行。在寄存器读取或写入期间，SCLK 的速度只能是 f_{CLK} 的两倍，请参阅关于发送多字节命令的部分。具有 2.048MHz 选项允许以高达 4.096MHz 的 SCLK 速度执行寄存器读取和写入。

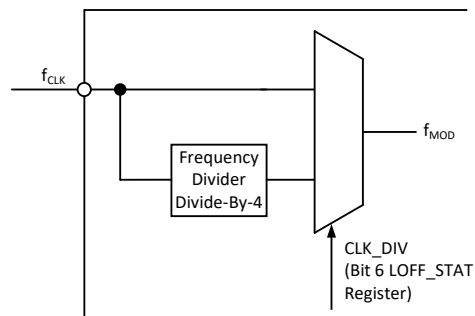


图 8-3-8. 外部时钟 (f_{CLK}) 和调制器时钟 (f_{MOD}) 之间的关系

8.3.8 数据格式

SW3011 会以二进制补码格式在每个通道输出 24 位的数据，MSB 在前。LSB 具有 $V_{REF}/(2^{23}-1)$ 的权重。正满量程输入可生成输出代码 7FFFFFFh，负满量程输入可生成输出代码 800000h。输出在这些代码处针对超出满量程的信号进行削波。表 8-3-2 总结了不同输入信号的理想输出代码。当模拟输入处于正的或负的满量程时，所有 24 位输出触发。

表 8-3-2. 理想输出代码与输入信号间的关系⁽¹⁾

输入信号 $V_{IN}(A1NP-A1NN)$	理想输出代码 ⁽²⁾
$\geq V_{REF}$	7FFFFFFh
$V_{REF}/(2^{23}-1)$	000001h
0	000000h
$-V_{REF}/(2^{23}-1)$	FFFFFFh
$\leq -V_{REF} (2^{23}/2^{23}-1)$	800000h

(1) 仅对 24 位分辨率数据速率有效 (增益 = 1)。

(2) 排除噪声、线性、偏移和增益误差的影响。

ADC 经过抽取滤波之后，为数据更准确地提供了增益误差和直流误差的补偿，如图 8-3-9 所示。

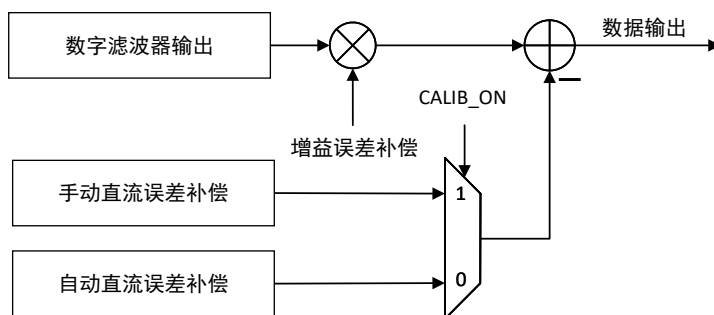


图 8-3-9. 增益误差和直流误差补偿

增益误差补偿

增益误差补偿量化为 20bit，即 $\{0x12[3:0], 0x11[7:0], 0x10[7:0]\}$ ，其只表示增益的误差部分，实际增益误差补偿 = $(1 + \{0x12[3:0], 0x11[7:0], 0x10[7:0]\})$ ，其表示范围为 (0, 2)，例：当 $\{0x12[3:0], 0x11[7:0], 0x10[7:0]\} = 20'h08000$ ，表示电路增益为正，增益误差补偿 = 1.0625。

直流误差补偿

数据输出格式为 24bit，直流误差补偿提供两种方式 (通过 CALIB_ON 来区分)，一种是通过配置可读可写的寄存器补偿到数据输出，另一种是通过电路自动校准功能 (默认)，自动算出直流误差进行补偿。

$\{0xD[7:0], 0xE[7:0], 0xF[3:0]\}$ 为可配置的直流误差补偿，可补偿范围为 $(-2^{19}, 2^{19})$ 。 $\{0x15[7:0], 0x14[7:0], 0x13[7:0]\}$ 为自动校准的直流分量，范围为 $(-2^{23}, 2^{23})$ ，不可配置，可通过读寄存器的方式读回电路的直流误差。

DC 自动校准功能

在增益误差补偿正确的前提下，芯片提供自动直流校准方案。将 $OSCAL_EN(0x12[7])$ 写 1，电路检测到其上升沿则启动自校。若需要二次校准，需要将 $OSCAL_EN$ 写 0，再写 1。

8.3.9 多器件配置

当系统中连接多个器件时，SW3011 可提供配置灵活性。串行接口通常需要四个信号： DIN 、 $DOUT$ 、 $SCLK$ 和 \overline{CS} 。通过在每个器件上添加一个额外的片选信号，可以将多个器件连接在一起。连接 n 个器件所需的信号数量为 $3 + n$ 。在使用多个器件时，将这些器件与 $START$ 信号同步。从 $START$ 信号到 \overline{DRDY} 信号的延迟对于固定数据速率是固定的。作为一个示例，图 8-3-10 显示了两个器件与 $START$ 信号同步时的行为。

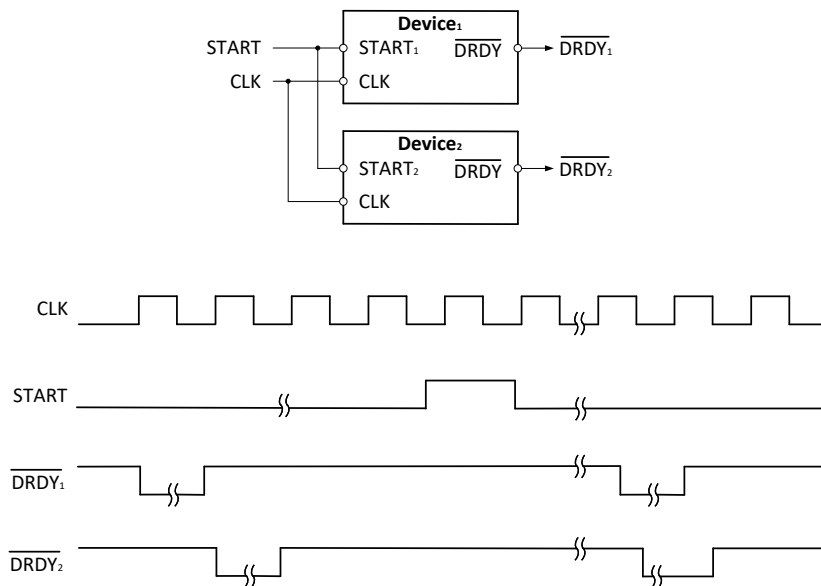


图 8-3-10. 同步多个转换器

8.3.9.1 级联配置

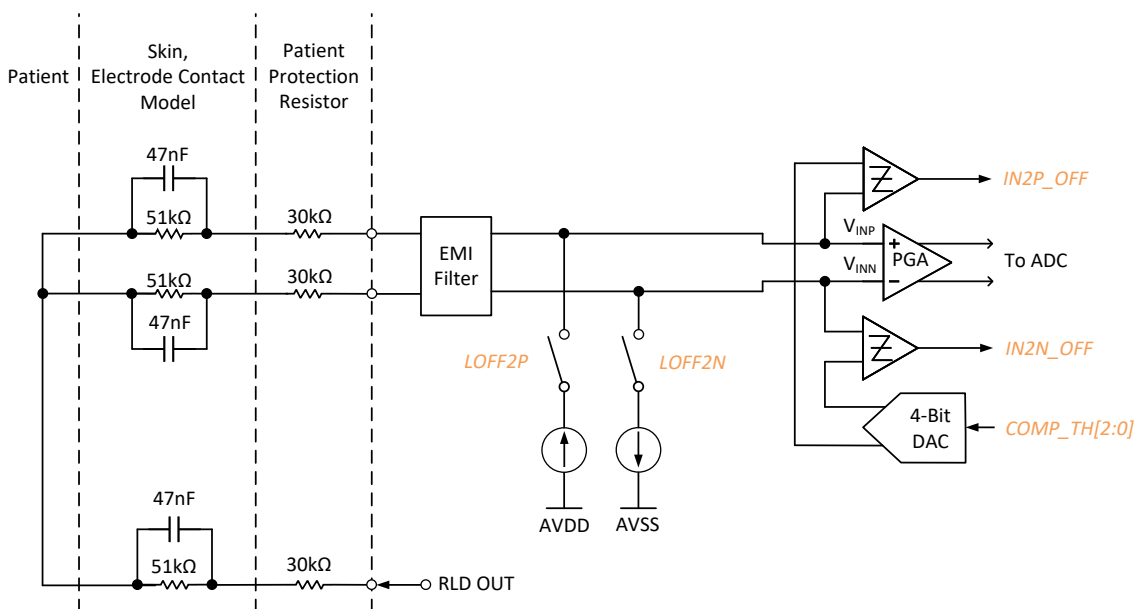
两个器件级联在一起， $DOUT$ 、 $SCLK$ 和 DIN 是共享的。每个器件都具有其自己的片选引脚。如果没有选择某个器件 (通过将相应的 \overline{CS} 驱动为逻辑 1)，则该器件的 $DOUT$ 处于高阻抗。该结构允许其他器件控制 $DOUT$ 总线。该配置方法适用于大多数应用。

8.3.10 ECG 特定功能

8.3.10.1 导联脱落检测

已知患者电极阻抗会随着时间的推移而衰减。有必要持续监测这些电极连接，以验证连接是否正常。SW3011 的导联脱落检测模块为用户提供了极其灵活的导联脱落检测策略。虽然被称为导联脱落检测，但这实际上是一种电极断开检测。

基本原理是注入激励信号并测量响应，以查明电极是否断开。如图 8-3-11 中的导联脱落检测功能框图所示，该电路使用了直流导联脱落的方法来确定患者电极的状态。可以使用 LOFF_SENS 寄存器选择性检测任意一个电极的连接状态。



注：必须选择 R_p 值，以使其低于进入患者的最大允许电流 (根据相关规范 IEC 60601 的最新版本)。

图 8-3-11. 导联脱落检测

8.3.10.1.1 直流导联脱落

在这种方法中，采用直流信号作为导联脱落的激励。直流激励信号可以选择外部上拉或下拉电阻、拉电流或灌电流，如图 8-3-12 所示。通道的一侧被拉至电源，另一侧被拉接地。可以通过设置 LOFF_SENS 寄存器中的 FLIP1 和 FLIP2 位来交换内部拉电流和灌电流点。如果使用拉电流或灌电流，可以通过使用 LOFF 寄存器中的 ILEAD_OFF [1:0] 位来设置电流的大小。与 10MΩ 上拉或下拉电阻器相比，拉电流或灌电流提供更大的输入阻抗。

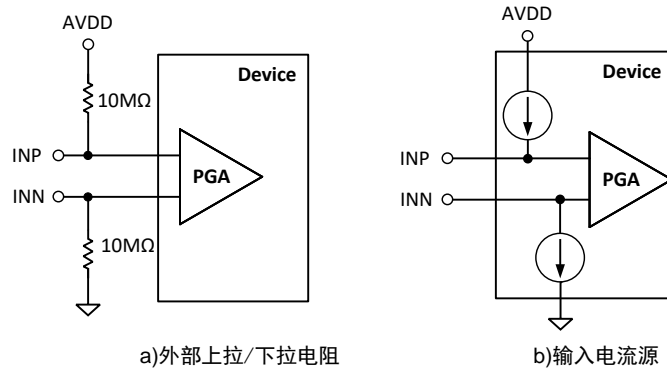


图 8-3-12. 直流导联脱落检测选择

可以通过查看器件的数字输出代码或通过用片上比较器监测输入电压来实现响应检测。如果任何一个电极是关闭的，上拉电阻和下拉电阻会使通道饱和。通过查看输出代码以确定 P 侧或 N 侧是否关闭。要确定哪一侧关闭，请检查比较器输出。通过使用比较器和 4 位数模转换器 (DAC) 来监测输入电压，其电平由 LOFF 寄存器中的 COMP_TH[2:0] 位设置。比较器的输出被存储在 LOFF_STAT 寄存器中。这两个寄存器可作为输出数据流的一部分使用。(请参阅 SPI 接口部分的数据输出引脚 (DOUT) 小节。) 如果不使用直流导联脱落，可以通过设置 CONFIG2 寄存器中的 PDB_LOFF_COMP 位来关闭导联脱落比较器。

“导联脱落检测”部分给出了打开直流导联脱落的示例过程。

8.3.10.1.2 右腿导联脱落

SW3011 提供了两种模式来确定 RLD 是否直接连接：

- 正常操作期间的 RLD 导联脱落检测
- 上电期间的 RLD 导联脱落检测

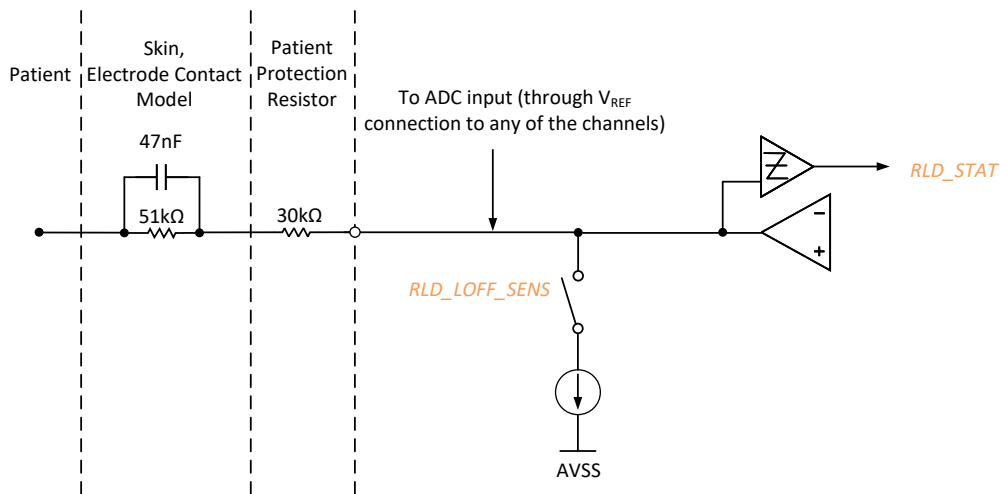
以下各节提供了这两种操作模式的详细信息。

正常操作期间的 RLD 导联脱落检测

在正常操作过程中，不能使用 SW3011 的 RLD 在上电功能下的导联脱落检测，因为需要关闭 RLD 放大器。

RLD 通电时的连接检测

此功能在 SW3011 中，用于确定右腿电极是否适当连接。上电时，SW3011 提供了一个使用下拉电流确定 RLD 电极连接状态的步骤，如图 8-3-13 所示。比较器的参考电平被设置为可接受的 RLD 阻抗阈值。



注：必须选择 R_p 值，以使其低于进入患者的最大允许电流 (根据相关规范 IEC 60601 的最新版本)。

图 8-3-13. 上电时的 RLD 导联脱落检测

当 RLD 放大器通电时，电流源不起作用。只有比较器可以用于检测 RLD 放大器的输出处的电压。比较器阈值由用于设置其他负输入的阈值的相同 LOFF[7:5] 位设置。

8.3.10.1.3 右腿驱动 (RLD) 直流偏置电路

右腿驱动 (RLD) 电路被用作对抗由于电源线和其他源 (包括荧光灯) 导致的 ECG 系统中共模干扰的手段。RLD 电路检测所选电极组的共模，并通过用反相共模信号驱动人体来创建负反馈回路。负反馈回路根据环路增益将共模移动限制在窄范围内。基于回路中的各个极点，整个回路的稳定性是特定于单个用户系统的。SW3011 集成了用于选择运算放大器的多路复用选择器。所有放大器端子在引脚处都可用，允许用户选择反馈回路的组件。图 8-3-14 所示的电路显示了 RLD 偏置电路的整体功能连接。

右腿驱动器的参考电压可以选择为内部产生 $(AVDD+AVSS)/2$ ，或者可以由电阻分压器外部提供。RLD 环路的内部参考电压与外部参考电压的选择是通过将适当的值写入 RESP2 寄存器中的 RLDREF_INT 位来实现的。

8.3.11 设置用于基本数据捕获的设备

本节概述了在基本状态下配置设备和捕获数据的过程。此程序旨在将设备置于数据表状态，以检查设备在用户系统中是否正常工作。建议最初遵循此程序以熟悉设备设置。一旦验证了此过程，就可以根据需要对设备进行配置。有关命令定时的详细信息，请参阅数据表中的相应部分。此外，还为 ECG 特定功能添加了一些示例编程代码。图 8-3-16 详细显示了配置过程的流程图。

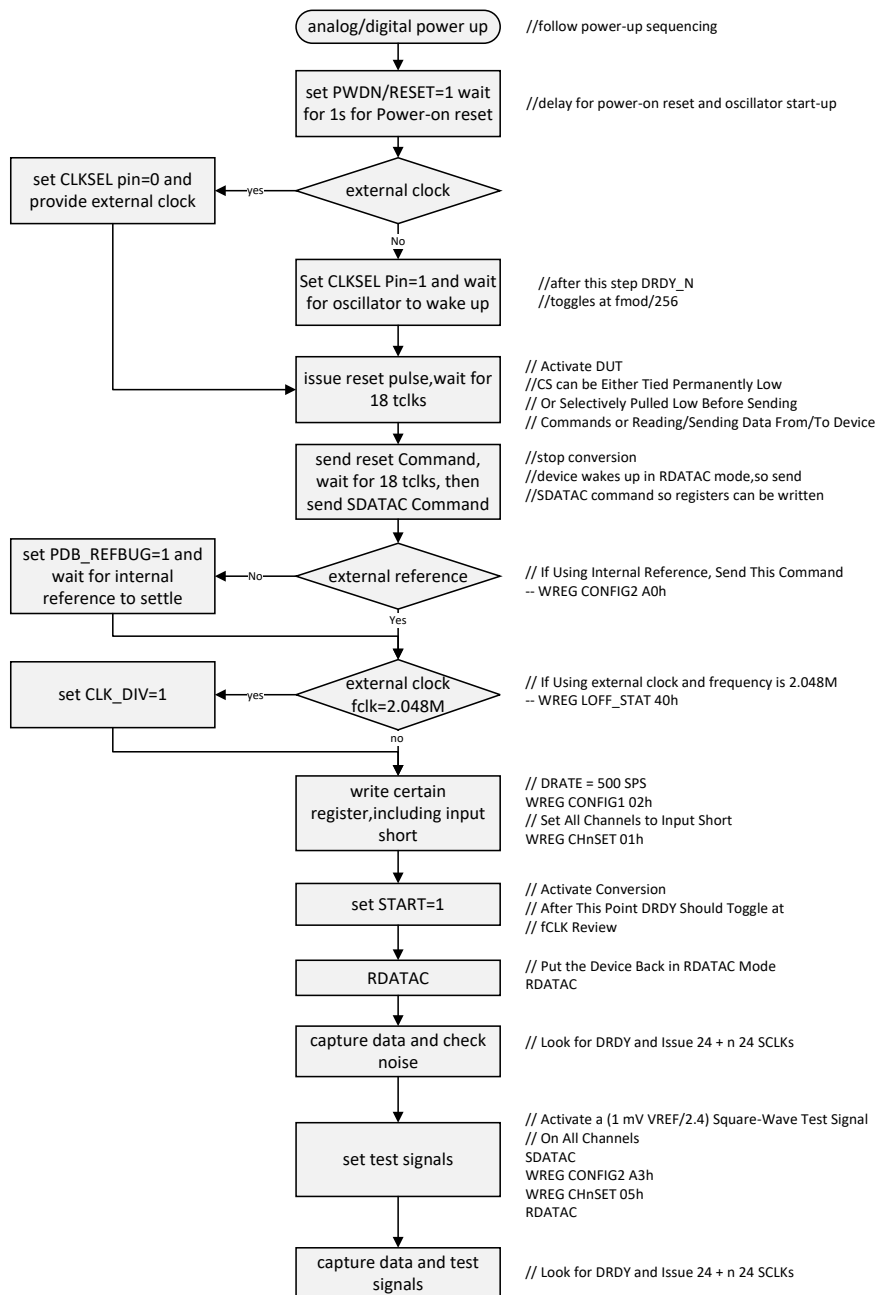


图 8-3-16. 上电初始流程

8.3.12 导联脱落检测

在所有通道上用直流电流源或电阻器设置导联脱落的示例代码

```
WREG LOFF 10h // 95% 和 5% 的比较器阈值，电流源或电阻器/直流导联脱落
```

```
WREG CONFIG2 E0h // 打开直流导联脱落比较器
```

```
WREG LOFF_SENS 0Fh // 打开所有通道 P 端的导联脱落检测
```

观察输出数据流的状态位，以监测导联脱落状态。

8.4 器件功能模式

SW3011 可作为一个单独的或多个设备被用在系统不同的功能模式中，SW3011 提供在一个系统中使用多个设备时的配置灵活性，如多器件配置部分所述。在数据转换方面，设备可以在连续转换模式下运行，如连续转换模式中所所述；也可以在单冲模式下运行，如单冲模式中所所述。

8.5 编程

8.5.1 SPI 接口

SPI 兼容串行接口包含四个信号： \overline{CS} 、SCLK、DIN 和 DOUT。包含读 ADC 数据、读写寄存器、控制 ADC 工作模式的功能。 \overline{DRDY} 输出用作状态信号，以指示数据何时就绪。当新数据可用时， \overline{DRDY} 变为低电平。

8.5.1.1 片选引脚 (\overline{CS})

片选 \overline{CS} 可选择用于 SPI 通信的 SW3011 器件。在整个串行通信过程中， \overline{CS} 必须保持低电平。串行通信完成后，始终等待四个或更多 t_{CLK} 周期，然后再将 \overline{CS} 置于高电平。当 \overline{CS} 置于高电平时，串行接口复位，SCLK 和 DIN 被忽略，DOUT 进入高阻抗状态。无论 \overline{CS} 处于高电平还是低电平，当数据转换完成时， \overline{DRDY} 都会变为有效。

8.5.1.2 串行时钟 (SCLK)

SCLK 是串行外接接口 (SPI) 串行时钟。它用于移入命令并从器件中移出数据。SCLK 输入要有施密特触发输入。SCLK 的周期最低是 50ns。在整个命令周期内 SCLK 的频率不能变化，不然可能会进入未知状态，只有等 \overline{CS} 拉高才能恢复。

对于单个设备，SCLK 所需的最小速度取决于通道的数量、分辨率的位数和输出数据速率。(对于多个级联设备，请参阅“多器件配置”章节的“级联配置”小节。) 最小转速可由下式推算。

$$t_{SCLK} < \frac{t_{DR} - 4t_{CLK}}{1 \times 24 \text{bits} + \text{STATUS}} \quad (4)$$

例如，如果以 500SPS 的数据速率使用 SW3011(1 个通道，24 位分辨率)，则最小 SCLK 速度为 24kHz。

可通过将器件置于 RDATA 模式或针对数据按需发送 RDATA 命令来检索数据。上述的 SCLK 速率限制也适用于 RDATA。对于 RDATA 命令，如果必须在两个连续的 \overline{DRDY} 信号之间读取数据，则适用该限制。等式 4 假设在数据捕获之间没有发出其他命令。对于更快的 SPI 接口，使用 $f_{CLK} = 2.048\text{MHz}$ 并且将 CLK_DIV(在 LOFF_STAT 寄存器中) 设置为“1”。

8.5.1.3 数据输入引脚 (DIN)

数据输入引脚 (DIN) 与 SCLK 一起用于与 SW3011 通信 (操作码命令和寄存器数据)。该器件在 SCLK 的下降沿锁存 DIN 中的数据。

8.5.1.4 数据输出引脚 (DOUT)

数据输出引脚 (DOUT) 与 SCLK 一起用于从 SW3011 中读取转换和寄存器数据。DOUT 中的数据在 SCLK 的上升沿移出。DOUT 在 \overline{CS} 处于高电平时进入高阻抗状态。

在读取数据连续模式下 (有关详细信息, 请参阅 [SPI 命令定义](#) 部分), DOUT 输出行还指示何时有新数据可用。此特性可用于最大限度地减少设备与系统控制器之间的连接数量。

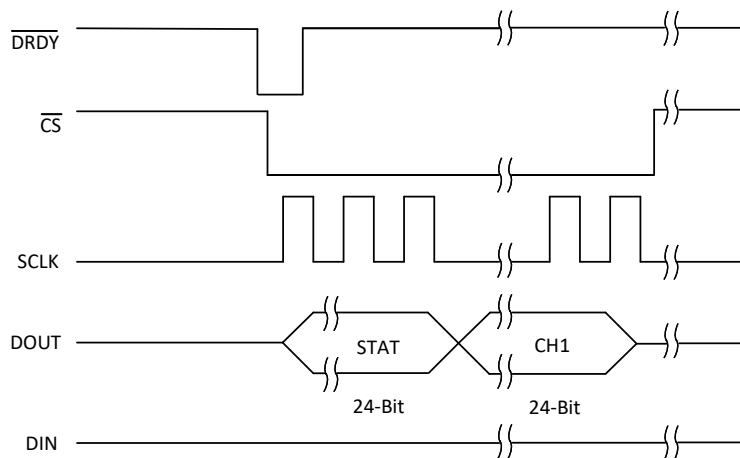


图 8-5-1 . SW3011 的 SPI 总线数据输出 (1 通道)

8.5.1.5 数据检索

可通过以下两种方法之一完成数据检索:

1. RDATA_C: 连续读取数据命令设置在不发送操作码的情况下连续读取数据的器件模式。有关更多详细信息, 请参阅 [RDATA_C: 连续读取数据](#) 部分。
2. RDATA: 读取数据命令仅从器件中读取一个数据输出。有关更多详细信息, 请参阅 [RDATA: 读取数据](#) 部分。有关更多详细信息, 请参阅 [SPI 命令定义](#) 部分。

可通过在 DOUT 上移出数据来读取转换数据。DOUT 上数据的 MSB 在第一个 SCLK 上升沿随时钟输出。 \overline{DRDY} 会在第一个 SCLK 下降沿返回至高电平。在整个读取操作期间将 DIN 保持为低电平。

数据输出中的位数取决于通道数和每个通道的位数。

BUFFER 深度为 1 时, 数据输出格式为: STATUS[23:0] + DATA[23:0]。其中 STATUS[23:0], 上报导联脱落状态和 GPIO 值, 具体为: 1100 + RLD_STAT + IN2N_OFF + IN2P_OFF + 2'0's + GPIO2 + GPIO1 + 13'0's。

BUFFER 深度为 N 时, 数据输出格式为: STATUS1[23:0] + DATA1[23:0] + ... + STATUSN[7:0] + DATAN[23:0]。其中 STATUS1[23:0] 是上报 DATA1 对应时刻的导联脱落状态和 GPIO 值, 具体为: 1100 + RLD_STAT + IN2N_OFF + IN2P_OFF + 2'0's + GPIO2 + GPIO1 + 13'0's, STATUSN[7:0], (N = 2,3,...) 是上报 DATAN 对应时刻的导联脱落状态、GPIO 值, 具体为: RLD_STAT + IN2N_OFF + IN2P_OFF + 2'0's + GPIO2 + GPIO1 + 1'0'。

8.5.1.6 数据缓存

数据缓存功能会把 ADC 转换的数据缓存起来，缓存的个数可以由 BUFFER 寄存器中的 BUFFER 位设定，可参阅[寄存器映射](#)部分。图 8-5-2 显示了数据缓存的数据输出格式。当数据缓存深度为 N 时，第一个 STAT1 为 24bit，后面都为 STATN[19:12]，数据输出需要 $48+(N-1) \times 32$ 个 SCLK 周期，的频率降为 $1/N$ 。数据缓冲器的深度最大为 32。

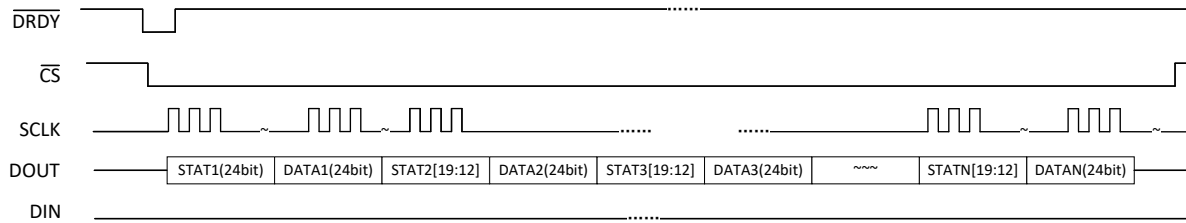


图 8-5-2. 数据缓存深度为 N 时的数据输出

8.5.1.7 数据准备 (\overline{DRDY})

当 \overline{DRDY} 转换为低电平时，新转换数据就绪。 \overline{CS} 信号对 \overline{DRDY} 没有任何影响。 \overline{DRDY} 的行为由设备是由 RDATA_{CS} 还是 RDATA 模式来决定。有关更多详细信息，请参阅 [RDATA_{CS}：连续读取数据](#) 和 [RDATA：读取数据](#) 部分。

使用 RDATA 命令读取数据时，读取操作可能与出现的下一个 \overline{DRDY} 重叠，但不会导致数据损坏。

使用 START 引脚或 START 命令将器件置于正常数据捕获模式或脉冲数据捕获模式。

图 8-5-3 显示了数据检索期间 \overline{DRDY} 、DOUT 和 SCLK 之间的关系。DOUT 在 SCLK 的上升沿锁存。无论 \overline{CS} 的状态如何、从器件检索数据还是通过 DIN 引脚发送命令，器件都会在 SCLK 的第一个下降沿将 \overline{DRDY} 拉为高电平。

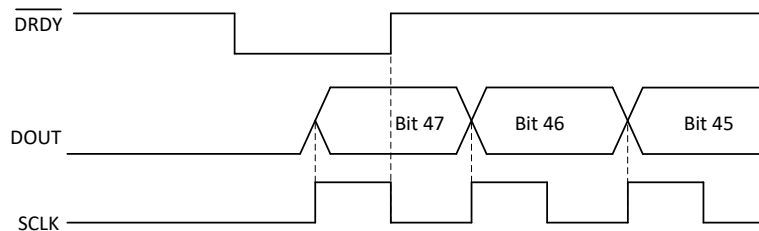


图 8-5-3. 有数据检索时的 $\overline{DRDY}(\overline{CS} = 0)$

8.5.1.8 GPIO

SW3011 在正常工作时总共有 2 个通用数字输入/输出 (GPIO) 引脚。数字输入/输出引脚可通过 GPIO 寄存器的 GPIOC 位单独配置为输入或输出。GPIO 寄存器中的 GPIOD 位控制引脚的电平。在读取 GPIOD 位时, 无论它们被编程为输入还是输出, 返回的数据都是引脚的逻辑电平。当 GPIO 引脚配置为输入时, 对相应 GPIOD 位的写入无效。当配置为输出时, 对 GPIOD 位的写入会设置输出值。如果配置为输入, 则必须驱动这些引脚; 请勿将这些引脚悬空。在上电或复位之后, GPIO 引脚会设置为输入。图 8-5-4 显示了 GPIO 端口结构。如果未使用这些引脚, 则将其与 DGND 短接。

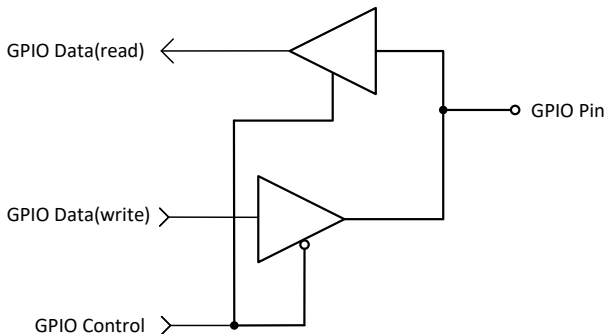


图 8-5-4. GPIO 端口引脚

8.5.1.9 Power-Down and Reset(PWDN / RESET)

$\overline{\text{PWDN}}/\overline{\text{RESET}}$ 引脚是共享的。 $\overline{\text{PWDN}}/\overline{\text{RESET}}$ 保持低电平超过 2^{11} 个 f_{CLK} , 设备掉电。当 $\overline{\text{PWDN}}/\overline{\text{RESET}}$ 从高电平到低电平转换时, 设备总是先复位。如果设备断电, 它首先会复位, 等待 2^{11} 时钟周期过后才会被断电。因此, 上电后必须重写所有寄存器。将 $\overline{\text{RESET}}$ 引脚置于低电平可强制进行复位。在将 $\overline{\text{RESET}}$ 引脚重新置为高电平之前, 确保遵循最小脉冲宽度时序规格。 $\overline{\text{RESET}}$ 命令在操作码命令的第八个 SCLK 下降沿生效。复位后, 需要 18 个 t_{CLK} 周期才能将配置寄存器初始化为默认状态并启动转换周期。有关更多信息, 请参阅 [RESET: 将寄存器重置为默认值](#) 部分。只要使用 WREG 命令将寄存器 CONFIG1 设置为新值, 就会自动向数字滤波器发出内部复位命令。

8.5.1.10 START

该操作码可启动数据转换。需将 START 引脚设置为高位或发送 START 命令以开始转换。当 START 为低电平或没有发送 START 命令, 设备便不会发出 $\overline{\text{DRDY}}$ 信号 (转换停止)。

当使用 START 操作码控制转换时, 保持 START 为引脚低电平。当 START 引脚拉低后, 等 $\overline{\text{DRDY}}$ 第一次为低电平时, 才能发送 START 操作码命令进行转换; 同样, 发送 STOP 操作码命令后, 等 $\overline{\text{DRDY}}$ 第一次为低电平时, 才能拉高 START 引脚进行转换。SW3011 具有两种模式控制转换: 连续模式和单冲模式。模式由 SINGLE_SHOT (CONFIG1 寄存器的第 7 位) 选择。

8.5.1.11 建立时间

建立时间 (t_{SETTLE}) 是当 **START** 信号被拉为高电平时转换器输出完全稳定的数据所需的时间。一旦信号被拉为高电平, \overline{DRDY} 也被拉为高电平, \overline{DRDY} 的下一个下降沿表示数据已经准备就绪。当 **START** 引脚保持高电平且输入信号发生阶跃变化时, 滤波器需要 $6 t_{DR}$ 转换周期才能稳定到新值。可在发送第七个 \overline{DRDY} 脉冲时提供稳定的数据。建立时间的不确定性是 1 个 t_{MOD} 周期, 因此, 建议在发出 **SCLK** 以检索数据之前添加一个 t_{MOD} 周期的延迟。

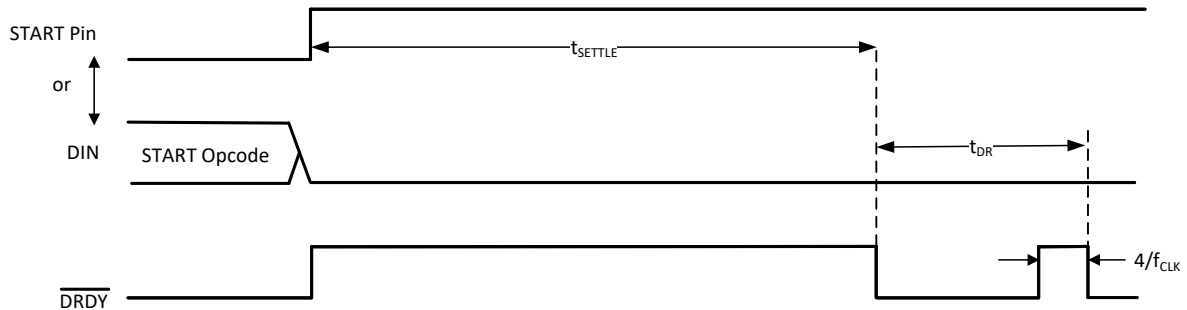


图 8-5-5. 建立时间

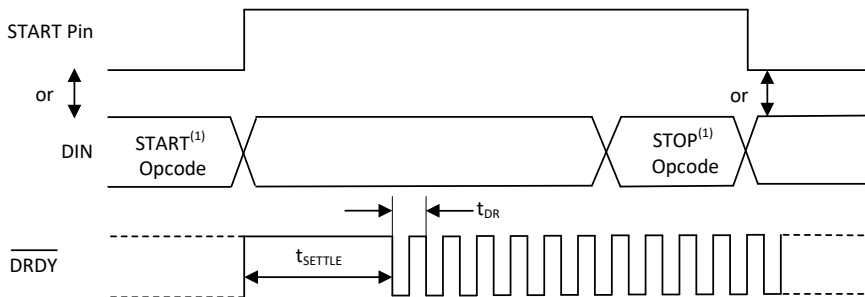
表 8-5-1 . 不同数据速率的建立时间 (t_{SETTLE})

DR[3:0]	建立时间 (t_{CLK} 周期)	UNIT
0000	6146	t_{MOD}
0001	3074	t_{MOD}
0010	1538	t_{MOD}
0011	770	t_{MOD}
0100	386	t_{MOD}
0101	194	t_{MOD}
0110	98	t_{MOD}
1000	12290	t_{MOD}
1001	24578	t_{MOD}
others	6146	t_{MOD}

8.5.1.12 连续转换模式

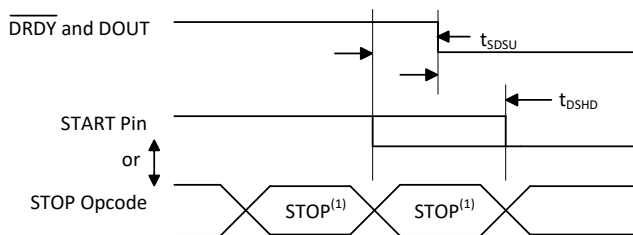
当 **START** 引脚被置于高电平并至少保持两个 t_{CLK} 或发送 **START** 操作码命令时, 将开始进行转换。如图 8-5-6 所示, \overline{DRDY} 会在转换开始后变为高电平, 并在数据就绪后变为低电平。转换会无限期地持续下去, 直到 **START** 引脚被置为低电平或发送 **STOP** 操作码命令。开机之后, 芯片默认工作在连续转换模式。表 8-5-2 显示了在该模式下控制转换时 **START** 引脚以及 **START** 和 **STOP** 操作码命令所需的 \overline{DRDY} 时序。

注意: 当 **START** 引脚被拉为低电平或发出停止命令时, 数据的转换不会立刻停止, 而是要等到当前转换的数据完成之后才停下。



(1)START 和 STOP 操作码命令在第七个 SCLK 下降沿生效。

图 8-5-6. 连续转换模式



(1)START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

图 8-5-7. START 至 DRDY 时序

表 8-5-2. 图 8-5-6 的时序要求 (1)

参数	描述	最小值	最大值	单位
t_{SDSU}	START 引脚置于低电平或向 \overline{DRDY} 发送 STOP 操作码以中止进一步转换的设置时间	8		t_{MOD}
t_{DSHD}	START 引脚置于低电平或发送 STOP 操作码以完成当前转换	8		t_{MOD}

(1)START 和 STOP 命令会在操作码传输结束时的第七个 SCLK 下降沿生效。

8.5.1.13 单冲模式

可通过将 CONFIG1 寄存器中的 SINGLE_SHOT 位设置为 1 来启用单冲模式。在单冲模式下，当 START 引脚被置于高电平或发送 START 操作码命令时，SW3011 会执行单次转换。如图 8-5-8 所示，当转换完成时， \overline{DRDY} 会变为低电平，并停止进一步转换。无论是否读取转换数据， \overline{DRDY} 都保持低电平。要开始新的转换，请将 START 引脚置为低电平，然后再重新置为高电平并至少保持两个 t_{CLK} ，或再次发送 START 操作码。从连续转换模式切换到单冲模式时，要确保发送 START 脉冲信号，或发出 STOP 命令并后跟 START 命令。如果发出 STOP 命令，要等 \overline{DRDY} 第一次为低电平后，将 SINGLE_SHOT 设置为 1 来启用。

这种转换模式适用于需要非标准或非连续数据速率的应用。发出 START 命令或将 START 引脚切换为高电平可重置数字滤波器，从而有效地将数据速率降低为原来的六分之一。该模式使系统更容易受到混叠效应的影响，因此需要在输入端使用更复杂的模拟抗混叠滤波器。

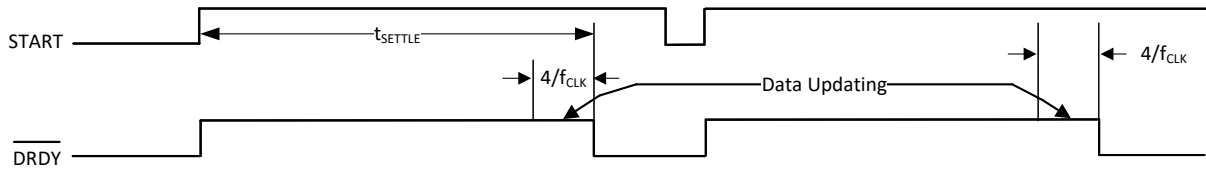


图 8-5-8. 无数据检索时的 $\overline{\text{DRDY}}$ (单冲模式)

8.5.2 SPI 命令定义

SW3011 可提供灵活的配置控制。表 8-5-3 中总结的操作码命令可控制和配置 SW3011 的运行。操作码命令是独立的，但需要第二个命令字节加数据的寄存器读取和寄存器写入操作除外。可以将 $\overline{\text{CS}}$ 在操作码命令之间置于高电平或保持在低电平，但在整个命令操作期间必须保持低电平（尤其是对于多字节命令）。系统操作码命令和 RDATA 命令在 SCLK 的第七个下降沿由 SW3011 解码。寄存器读取和写入操作码在第八个 SCLK 下降沿进行解码。发出命令后，将 $\overline{\text{CS}}$ 拉为高电平时，确保遵循 SPI 时序要求。

表 8-5-3. 操作码命令定义

命令	说明	第一个字节	第二个字节
系统命令			
WAKEUP	从待机模式唤醒	0000 0010 (02h)	—
STANDBY	进入待机模式	0000 0100 (04h)	—
RESET	复位器件	0000 0110 (06h)	—
START	启动/重新启动(同步)转换	0000 1000 (08h)	—
STOP	停止转换	0000 1010 (0Ah)	—
数据读取命令			
RDATAc	启用连续读取数据模式。 该模式是上电时的默认模式。(1)	0001 0000 (10h)	—
SDATAc	停止连续读取数据模式	0001 0001 (11h)	—
RDATA	通过命令读取数据；支持多个读回。	0001 0010 (12h)	—
寄存器读取命令			
RREG	从地址 r rrrr 开始读取 n nnnn 寄存器	001r rrrr (2xh) ⁽²⁾	000n nnnn ⁽²⁾
WREG	从地址 r rrrr 开始写入 n nnnn 寄存器	010r rrrr (4xh) ⁽²⁾	000n nnnn ⁽²⁾

(1) 处于 RDATAc 模式时，会忽略 RREG 命令。

(2) n nnnn = 要读取/写入的寄存器数量-1。例如，要读取/写入三个寄存器，请设置 n nnnn = 0(0010)。r rrrr = 读取/写入操作码的起始寄存器地址。

8.5.2.1 WAKEUP：退出待机模式

WAKEUP 操作码可退出低功耗待机模式；请参阅 [STANDBY: 进入待机模式](#) 部分。退出待机模式时需要一些时间 (有关详细信息，请参阅 [电气特性](#))。对于该命令，SCLK 速率没有限制；可以随时发出该命令。必须在 4 个 t_{CLK} 周期后发送任何后续命令。

8.5.2.2 STANDBY：进入待机模式

STANDBY 操作码命令可进入低功耗待机模式。除基准部分外，电路的所有部分都将关闭。电气特性中指定了待机模式功耗。对于该命令，SCLK 速率没有限制；可以随时发出该命令。发送 WAKEUP 命令可使器件恢复至正常运行状态。串行接口处于活动状态；因此，在该模式下允许执行寄存器读取和写入命令。

8.5.2.3 RESET：将寄存器重置为默认值

RESET 命令可重置数字滤波器周期并将所有寄存器设置恢复至相应的默认值。有关更多详细信息，请参阅 [Power-Down and Reset](#) 部分。对于该命令，SCLK 速率没有限制；可以随时发出该命令。执行 RESET 命令需要 18 个 t_{CLK} 周期。请勿在此期间发送任何命令。

8.5.2.4 START：开始转换

该操作码可启动数据转换。将 START 引脚保持在低电平可通过命令控制转换。如果转换正在进行，那么该命令无效。STOP 操作码命令用于停止转换。如果 START 命令后紧跟 STOP 命令，那么这两个命令之间必须有 4 个 t_{CLK} 周期的间隔。将 START 操作码发送到器件时，将 START 引脚保持为低电平，直到发出 STOP 命令。对于该命令，SCLK 速率没有限制，可以随时发出该命令。

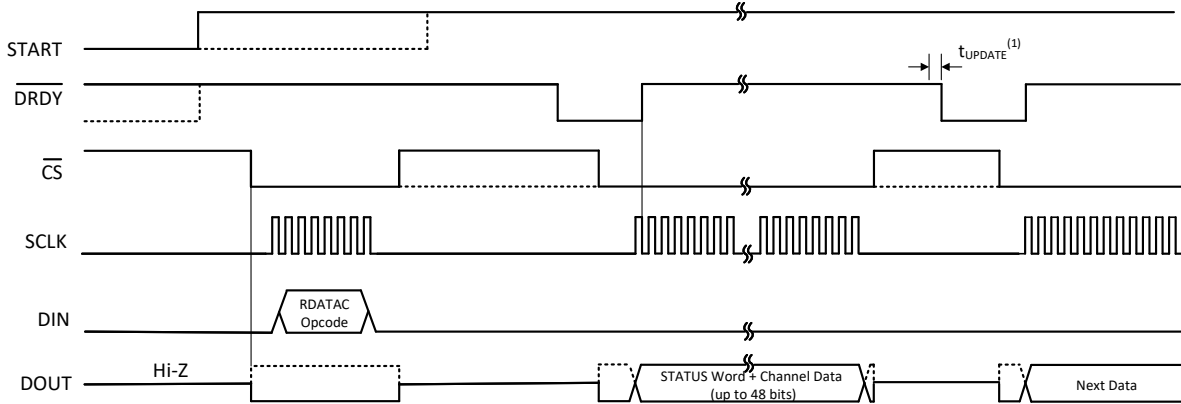
8.5.2.5 STOP：停止转换

STOP 操作码可停止转换。将 START 引脚保持在低电平可通过命令控制转换。发送 STOP 命令后，正在进行的转换将完成，并且进一步的转换也会停止。如果转换已经停止，那么该命令无效。对于该命令，SCLK 速率没有限制；可以随时发出该命令。

8.5.2.6 RDATAAC：连续读取数据

RDATAAC 操作码可以在每个 \overline{DRDY} 上实现转换数据输出，而无需发出后续读取数据操作码。该操作码可将转换数据放置在输出寄存器中，并且可以直接将其移出。连续读取数据模式是该器件的默认模式，该器件在上电和复位时默认采用该模式。

停止连续读取数据命令 (SDATAAC) 可取消 RDATAAC 模式。如果器件处于 RDATAAC 模式，则必须先发出 SDATAAC 命令，然后才能将任何其他命令发送到器件中。此命令对 SCLK 速率没有限制。不过，后续数据检索 SCLK 或 SDATAAC 操作码命令必须至少等待 4 个 t_{CLK} 周期。如图 8-5-9 所示，在 \overline{DRDY} 脉冲周围有一个 4 个 t_{CLK} 周期的隔离区，在这个区域内不能发出这个命令。为了在 RDATAAC 命令发出后从设备检索数据，请确保 START 引脚处于高电平或发出 START 命令。图 8-5-9 显示了使用 RDATAAC 命令的建议方法。RDATAAC 非常适合数据记录器等应用，其中只需设置寄存器一次，无需重新配置。



(1) $t_{UPDATE} = 4 \times t_{CLK}$, 在此期间不要读取数据。

图 8-5-9. RDATAC 用法

8.5.2.7 SDATAC : 停止连续读取数据

该 SDATAC 操作码命令可取消连续读取数据 (RDATAC) 模式。此命令对 SCLK 速率没有限制, 但下一条命令必须等待 4 个 t_{CLK} 周期。

8.5.2.8 RDATA : 读取数据

在 \overline{DRDY} 变为低电平后发出 RDATA 命令, 以读取转换结果 (在 SDATAC 模式下)。此命令对 SCLK 速率没有限制, 并且后续命令或数据检索 SCLK 不需要等待时间。要在发出 RDATA 命令后从器件检索数据, 请确保 START 引脚处于高电平或发出 START 命令。使用 RDATA 命令读取数据时, 读取操作可以与出现的下一个 \overline{DRDY} 重叠, 而不会导致数据损坏。图 8-5-10 显示了使用 RDATA 命令的建议方法。RDATA 最适合 ECG 和 EEG 型系统, 其中必须经常在转换周期之间读取或更改寄存器设置。

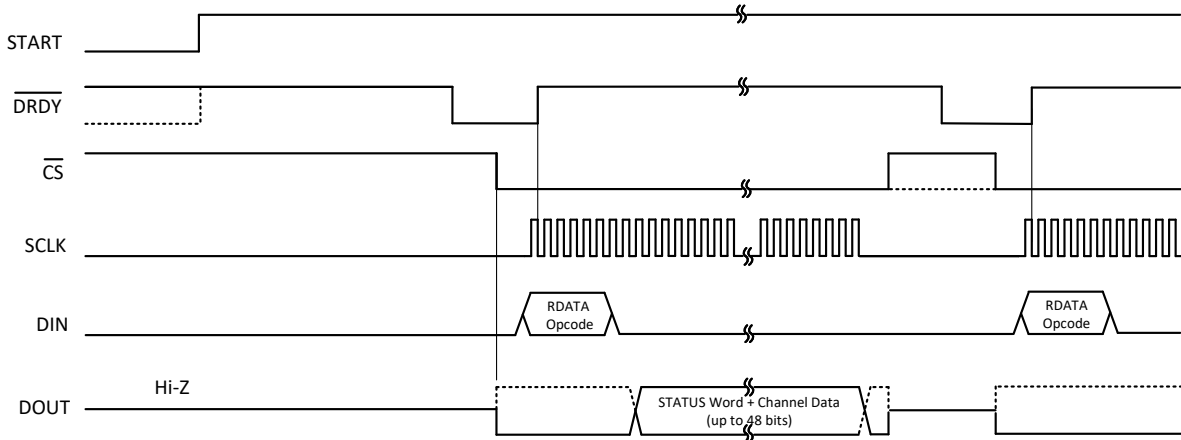


图 8-5-10. RDATA 用法

8.5.2.9 发送多字节命令

SW3011 串行接口以字节为单位对命令进行解码，需要 4 个 t_{CLK} 周期进行解码和执行。因此，在发送多字节命令时，必须用 4 个 t_{CLK} 周期将一个字节 (或操作码) 的末尾与下一个字节 (或操作码) 分开。

例如，如果 CLK 为 512kHz，那么 $t_{SDECODE}$ ($4 \times t_{CLK}$) 为 $7.8125\mu s$ 。当 SCLK 为 16MHz 时，一个字节可以在 500 ns 内传输。该字节传输时间不符合 $t_{SDECODE}$ 规范；因此必须插入一个延迟，以便第二个字节的末尾在 $7.8125\mu s$ 后到达。不过，如果 SCLK 为 1MHz，那么将在 $8\mu s$ 后传输一个字节。由于该传输时间超出了 $t_{SDECODE}$ 规格，因此处理器可以无延迟地发送后续字节。在第二种情形下，可以对串行端口进行编程，使其从每个周期的单字节传输变为多个字节传输。

8.5.2.10 RREG：从寄存器进行读取

RREG 操作码命令可读取寄存器数据。运行的第 17 个 SCLK 上升沿输出第一个寄存器的 MSB，如图 8-5-11 所示。当器件处于连续读数据模式时，必须首先发出 SDATAC 命令，然后才能发出 RREG 命令。可以随时发出 RREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅[串行时钟 \(SCLK\)](#) 部分。 \overline{CS} 必须在整个命令操作期间处于低电平。

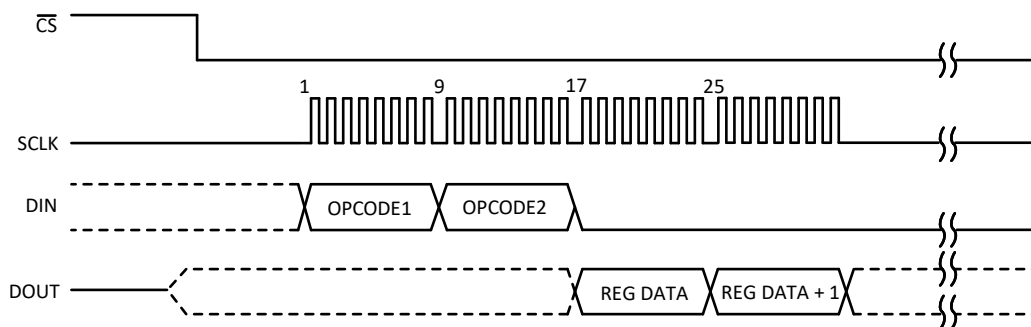


图 8-5-11. RREG 命令示例：读取两个寄存器

8.5.2.11 WREG：对寄存器进行写入

WREG 操作码命令可写入寄存器数据。操作码字节后跟寄存器数据 (采用 MSB 在前的格式)，如图 8-5-12 所示。可以随时发出 WREG 命令。不过，由于该命令是多字节命令，因此 SCLK 速率受到限制，具体取决于发出 SCLK 的方式。有关更多详细信息，请参阅[串行时钟 \(SCLK\)](#) 部分。 \overline{CS} 必须在整个命令操作期间处于低电平。

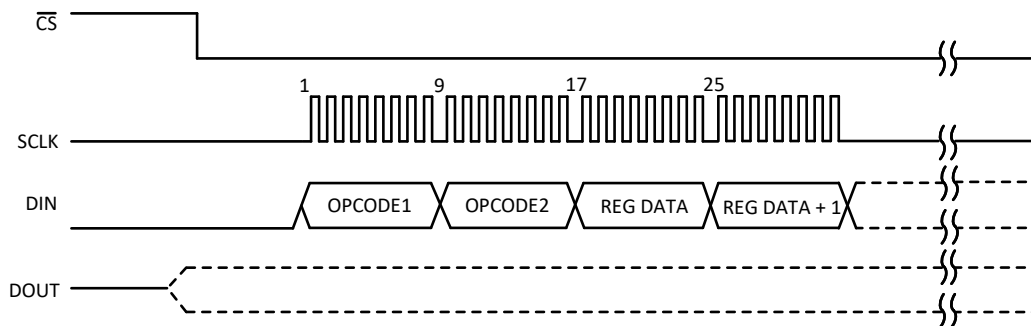


图 8-5-12. WREG 命令示例：对两个寄存器进行写入

8.6 寄存器映射

表 8-6-1 列出了各种 SW3011 寄存器。

表 8-6-1. 寄存器分配

地址	寄存器	复位值 (十六进制)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
00h	ID	51	0	1	0	1	0	0	0	1
01h	CONFIG1	02	SINGLE_SHOT	0	MODE1	MODE0	DR3	DR2	DR1	DR0
02h	CONFIG2	80	1	PDB_LOFF _COMP	PDB_REFBUF	VREF_4V	CLK_EN	0	INT_TEST	TEST_FREQ
03h	LOFF	00	COMP_TH2	COMP_TH1	COMP_TH0	ILEAD_OFF2	ILEAD_OFF1	ILEAD_OFF0	0	0
04h	CH1SET	00	0	0	0	0	0	0	0	0
05h	CH2SET	00	PD2	GAIN2_2	GAIN2_1	GAIN2_0	MUX2_3	MUX2_2	MUX2_1	MUX2_0
06h	RLD_SENS	00	CHOP1	CHOP0	PDB_RLD	RLD_LOFF _SENS	RLD2N	RLD2P	0	0
07h	LOFF_SENS	00	0	0	FLIP2	0	LOFF2N	LOFF2P	0	0
08h	LOFF_STAT	00	0	CLK_DIV	0	RLD_STAT	IN2N_OFF	IN2P_OFF	0	0
09h	RESP1	02	0	0	0	0	0	0	1	0
0Ah	RESP2	03	CALIB_ON	0	0	0	0	0	RLDREF_INT	1
0Bh	GPIO	0C	0	0	0	0	GPIOC2	GPIOC1	GPIOD2	GPIOD1
0Ch	BUFFER	00	0	0	0	0	TRIM _SOURCE	BUFFER2	BUFFER1	BUFFER0
0Dh	OFFSET1	00	OS19	OS18	OS217	OS16	OS15	OS14	OS13	OS12
0Eh	OFFSET2	00	OS11	OS10	OS9	OS8	OS7	OS6	OS5	OS4
0Fh	OFFSET3	00	0	0	0	0	OS3	OS2	OS1	OS0
10h	GAIN_ERRSET1	00	GAIN_ERR7	GAIN_ERR6	GAIN_ERR5	GAIN_ERR4	GAIN_ERR3	GAIN_ERR2	GAIN_ERR1	GAIN_ERR0
11h	GAIN_ERRSET2	00	GAIN_ERR15	GAIN_ERR14	GAIN_ERR13	GAIN_ERR12	GAIN_ERR11	GAIN_ERR10	GAIN_ERR9	GAIN_ERR8
12h	GAIN_ERRSET3	00	OSCAL_EN	0	0	0	GAIN_ERR19	GAIN_ERR18	GAIN_ERR17	GAIN_ERR16
18h	OSCSET1	00	OSC7	OSC6	OSC5	OSC4	OSC3	OSC2	OSC1	OSC0
19h	OSCSET2	00	0	0	0	0	OSC11	OSC10	OSC9	OSC8

8.6.1 寄存器说明

在器件制造期间会对只读 ID 控制寄存器进行编程，以指示器件特性。

8.6.1.1 ID: 芯片 ID(地址 = 00h)(复位 = 51h)

图 8-6-1. ID: 芯片 ID

7	6	5	4	3	2	1	0
0	VERSION			0	CH		
R-0h	R-5h			R-0h	R-1h		

图例：R/W-0h = 读取/写入；R= 只读；-nh = 复位后的值。(后文不再赘述)

表 8-6-2. ID 寄存器字段说明

位	字段	类型	复位	说明
7	0	R	0h	保留 始终写入 0h
6:4	VERSION	R	5h	保留 始终写入 5h
3	0	R	0h	保留 始终写入 0h
2:0	CH	R	1h	通道数 001: 单通道版

8.6.1.2 CONFIG1: 配置寄存器 1(地址 = 01h)(复位 = 02h)

图 8-6-2. CONFIG1: 配置寄存器 1

7	6	5	4	3	2	1	0
SINGLE_SHOT	0	MODE[1:0]		DR[3:0]			
R/W-0h	R/W-0h	R/W-0h		R/W-2h			

表 8-6-3. 配置寄存器 1 字段说明

位	字段	类型	复位	说明
7	SINGLE_SHOT	R/W	0h	单冲转换 该位设置转换模式 0 = 连续转换模式 (默认) 1 = 单冲模式
6	0	R/W	0h	保留 始终写入 0h
5:4	MODE[1:0]	R/W	0h	低功耗模式、超低功耗模式或高速模式 00 = LP 模式 ($f_{MOD} = 128kHz$)(默认) 01 = ULP 模式 ($f_{MOD} = 64kHz$) 其它: HS 模式 ($f_{MOD} = 512kHz$)
3:0	DR[3:0]	R/W	2h	输出数据速率 这些位决定 ADC 的输出数据速率。 0000: $f_{MOD}/1024$ 0001: $f_{MOD}/512$ 0010: $f_{MOD}/256$ (默认) 0011: $f_{MOD}/128$ 0100: $f_{MOD}/64$ 0101: $f_{MOD}/32$ 0110: $f_{MOD}/16$ 1000: $f_{MOD}/2048$ 其它: 禁止使用

8.6.1.3 CONFIG2: 配置寄存器 2(地址 = 02h)(复位 = 80h)

图 8-6-3. CONFIG2: 配置寄存器 2

7	6	5	4	3	2	1	0
1	PDB_LOFF_COMP	PDB_REFBUF	VREF_4V	CLK_EN	0	INT_TEST	TEST_FREQ
R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-6-4. CONFIG2 字段说明

位	字段	类型	复位	说明
7	1	R/W	1h	保留 始终写入 1h
6	PDB_LOFF_COMP	R/W	0h	导联比较器断电 0 = 关断导联比较器 (默认) 1 = 启用导联比较器
5	PDB_REFBUF	R/W	0h	关断基准缓冲器 该位决定基准缓冲器是否关断 0 = 关断内部基准缓冲器, 使用外部基准 (默认) 1 = 启用内部基准缓冲器, 使用内部基准
4	VREF_4V	R/W	0h	基准电压选择 该位决定基准电压值的选择 0 = VREFP 设置为 2.4V(默认) 1 = VREFP 设置为 4V(仅与 5V 模拟电源配合使用)
3	CLK_EN	R/W	0h	时钟输出使能 该位决定了片上 OSC 时钟是否输出到 CLK pin 脚 0 = 片上 OSC 时钟不输出到 CLK pin 脚 (默认) 1 = 片上 OSC 时钟输出到 CLK pin 脚
2	0	R/W	0h	保留 始终写入 0h
1	INT_TEST	R/W	0h	测试信号选择 0 = 关断测试信号 (默认) 1 = 开启测试信号, 幅度为 $\pm(VREFP-VREFN)/2400$
0	TEST_FREQ	R/W	0h	测试信号频率 0 = 直流电平 (默认) 1 = 1Hz 方波

8.6.1.4 LOFF: 导联脱落控制寄存器 (地址 = 03h)(复位 = 00h)

图 8-6-4. LOFF: 导联脱落控制寄存器

7	6	5	4	3	2	1	0
COMP_TH[2:0]			ILEAD_OFF[2:0]			0	
R/W-0h			R/W-0h			R/W-0h	

表 8-6-5. LOFF 寄存器字段说明

位	字段	类型	复位	说明
7:5	COMP_TH[2:0]	R/W	0h	导联脱落比较阈值 比较器正极侧 vs. 比较器负极侧 (相对于 AVDD 电压) 000 = 95% vs. 5%(默认) 001 = 92.5% vs. 7.5% 010 = 90% vs. 10% 011 = 87.5% vs. 12.5% 100 = 85% vs. 15% 101 = 80% vs. 20% 110 = 75% vs. 25% 111 = 70% vs. 30%
4:2	ILEAD_OFF[2:0]	R/W	0h	导联脱落电流幅度 这些位决定当前导联脱落模式的电流幅度 000 = 6nA(默认) 001 = 12nA 010 = 18nA 011 = 24nA 100 = 49nA 101 = 99nA 110 = 199nA 111 = 399nA
1:0	0	R/W	0h	保留 始终写入 0h

8.6.1.5 CH2SET: 通道设置 (地址 = 05h)(复位 = 00h)

CH2SET 控制寄存器配置电源模式、PGA 增益和多路复用器通道设置。

图 8-6-5. CH2SET: 通道 2 寄存器设置

7	6	5	4	3	2	1	0
PD2	GAIN2[2:0]			MUX2[3:0]			
R/W-0h	R/W-0h			R/W-0h			

表 8-6-6. CHSET2 寄存器字段说明

位	字段	类型	复位	说明
7	PD2	R/W	0h	通道断电 该位决定相应通道的通道电源模式 0 = 正常运行 (默认) 1 = CH2 断电 在关闭通道的电源时, 建议通过设置 CH2SET 寄存器的相应 MUX2[3:0]=0001, 将该通道设置位输入短路。
6:4	GAIN2[2:0]	R/W	0h	PGA 增益 这些位决定 PGA 增益设置。 000 = 6(默认) 001 = 1 010 = 2 011 = 3 100 = 4 101 = 8 110 = 12 其它保留 输入保留的配置, 会自动映射到 000
3:0	MUX2[3:0]	R/W	0h	通道输入选择 0000 = 正常电极输入 (默认) 0001 = 输入短路 (用于偏移或噪声测量) 0010 = RLD_MEASURE 0011 = 保留 0100 = 温度传感器 0101 = 测试信号 0110 = RLD_DRP(正端输入连到 RLDIN) 0111 = RLD_DRM(负端输入连到 RLDIN) 1000 = RLD_DRPM(正负两端输入均连到 RLDIN) 其它 = 正常电极输入

8.6.1.6 RLD_SENS(地址 = 06h)(复位 = 00h)

RLD_SENS 控制右腿相关寄存器和斩波频率。

图 8-6-6. RLD_SENS: 右腿与斩波控制寄存器

7	6	5	4	3	2	1	0
CHOP1	CHOP0	PDB_RLD	RLD_LOFF _SENS	RLD2N	RLD2P	0	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 8-6-7. RLD_SENS 寄存器字段说明

位	字段	类型	复位	说明
7:6	CHOP[1:0]	R/W	0h	斩波频率 00 = 16kHz(默认) 01 = 8kHz 10 = 32kHz 11 = 0, 不使用斩波
5	PDB_RLD	R/W	0h	控制右腿缓冲器断电 0: 右腿缓冲器断电 (默认) 1: 右腿缓冲器上电工作
4	RLD_LOFF_SENSE	R/W	0h	右腿导联检测 0 = 不使用右腿导联检测 (默认) 1 = 右腿导联检测开启
3	RLD2P	R/W	0h	将 CH2 正端信号路由到 RLD 放大器 0: 关断 (默认) 1: 导通
2	RLD2N	R/W	0h	将 CH2 负端信号路由到 RLD 放大器 0: 关断 (默认) 1: 导通
1:0	0	R/W	0h	保留 始终写入 0h

8.6.1.7 LOFF_SENS(地址 = 07h)(复位 = 00h)

图 8-6-7. LOFF_SENS: 导联检测寄存器

7	6	5	4	3	2	1	0
0	FLIP2	0	LOFF2N	LOFF2P	0		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 8-6-8. LOFF_SENS 寄存器字段说明

位	字段	类型	复位	说明
7:6	0	R/W	0h	保留 始终写入 0h
5	FLIP2	R/W	0h	Lead_OFF 电流方向控制 0 = 不交换方向 (默认) 1 = 交换方向
4	0	R/W	0h	保留 始终写入 0h
3	LOFF2N	R/W	0h	开启 CH2 负端导联检测 0 = 断开 (默认) 1 = 导通
2	LOFF2P	R/W	0h	开启 CH2 正端导联检测 0 = 断开 (默认) 1 = 导通
1:0	0	R/W	0h	保留 始终写入 0h

8.6.1.8 LOFF_STAT(地址 = 08h)(复位 = 00h)

LOFF_STAT 导联脱落结果相关寄存器。

图 8-6-8. LOFF_STAT: 导联脱落结果相关寄存器

7	6	5	4	3	2	1	0
0	CLK_DIV	0	RLD_STAT	IN2N_OFF	IN2P_OFF	0	
R/W-0h	R/W-0h	R/W-0h	R-0h	R-0h	R-0h	R/W-0h	

表 8-6-9. RLD 负信号导出字段说明

位	字段	类型	复位	说明
7	0	R/W	0h	保留 始终写入 0h
6	CLK_DIV	R/W	0h	控制 CLK 输入是否分频 0 = 外部是 512KHz 时钟输入, 不分频 (默认) 1 = 外部是 2.048MHz 时钟输入, 4 分频
5	0	R/W	0h	保留 始终写入 0h
4	RLD_STAT	R	0h	右腿电极的状态 0 = 连接 (默认) 1 = 脱落
3	IN2N_OFF	R	0h	CH2 负端电极的状态 0 = 连接 (默认) 1 = 脱落
2	IN2P_OFF	R	0h	CH2 正端电极的状态 0 = 连接 (默认) 1 = 脱落
1:0	0	R/W	0h	保留 始终写入 0h

8.6.1.9 RESP2(地址 = 0Ah)(复位 = 03h)

呼吸检测相关寄存器的配置。

图 8-6-9. RESP2: 呼吸检测寄存器

7	6	5	4	3	2	1	0
CALIB_ON	0				RLDREF_INT	1	
R/W-0h	R/W-0h				R/W-1h	R/W-1h	

表 8-6-10. RESP2 寄存器字段说明

位	字段	类型	复位	说明
7	CALIB_ON	R/W	0h	OFFSET 手动校准功能有效 0 = 不校准 OFFSET(默认) 1 = 校准 OFFSET
6:2	0	R/W	0h	保留 始终写入 0h
1	RLDREF_INT	R/W	1h	RLDREF 信号源的选择 0 = 外部 PIN 脚输入 1 = 内部生成的 (AVDD-AVSS)/2(默认)
0	1	R/W	1h	保留 始终写入 1h

8.6.1.10 GPIO(地址 = 0Bh)(复位 = 0Ch)

通用 I/O 寄存器控制两个 GPIO 引脚的操作。

图 8-6-10. GPIO: 通用 IO 寄存器

7	6	5	4	3	2	1	0
0			GPIOC2	GPIOC1	GIPIOD2	GIPIOD1	
R/W-0h			R/W-1h	R/W-1h	R/W-0h	R/W-0h	

表 8-6-11. GPIO 寄存器字段说明

位	字段	类型	复位	说明
7:4	0	R/W	0h	保留 始终写入 0h
3	GPIOC2	R/W	1h	决定 GIPIOD 是输入还是输出 0 = 输出 1 = 输入 (默认)
2	GPIOC1	R/W	1h	决定 GIPIOD 是输入还是输出 0 = 输出 1 = 输入 (默认)
1	GIPIOD2	R/W	0h	GPIO2 DATA
0	GIPIOD1	R/W	0h	GPIO1 DATA

8.6.1.11 BUFFER(地址 = 0Ch)(复位 = 00h)

控制数据缓冲器的深度。

图 8-6-11. BUFFER: 数据缓冲器控制

7	6	5	4	3	2	1	0
0		0		TRIM_SOURCE	BUFFER2	BUFFER1	BUFFER0
R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-6-12. BUFFER 寄存器字段说明

位	字段	类型	复位	说明
7:5	0	R/W	0h	保留 始终写入 0h
3	TRIM_SOURCE	R/W	0h	OSC 修调码来源 0 = 使用 EFUSE 的值 (默认) 1 = 使用寄存器的值
2:0	BUFFER[2:0]	R/W	0h	数据缓冲器的深度控制 000 = 1 倍 (默认) 001 = 2 倍 010 = 4 倍 011 = 8 倍 100 = 16 倍 101 = 32 倍 其它响应为 1 倍

8.6.1.12 OFFSET1(地址 = 0Dh)(复位 = 00h)

OS 校准。

图 8-6-12. OFFSET1: 校准 OS

7	6	5	4	3	2	1	0
OS19 ~ OS12							
R/W-0h							

表 8-6-13. OFFSET1 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS[19:12]	R/W	0h	CH2 OFFSET 偏移量存储 [19:12]

8.6.1.13 OFFSET2(地址 = 0Eh)(复位 = 00h)

OS 校准。

图 8-6-13. OFFSET2: 校准 OS

7	6	5	4	3	2	1	0
OS11 ~ OS4							
R/W-0h							

表 8-6-14. OFFSET2 寄存器字段说明

位	字段	类型	复位	说明
7:0	OS[11:4]	R/W	0h	CH2 OFFSET 偏移量存储 [11:4]

8.6.1.14 OFFSET3(地址 = 0Fh)(复位 = 00h)

OS 校准。

图 8-6-14. OFFSET3: 校准 OS

7	6	5	4	3	2	1	0
0			OS3		OS2	OS1	OS0
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h

表 8-6-15. OFFSET3 寄存器字段说明

位	字段	类型	复位	说明
7:4	0	R/W	0h	保留 始终写入 0h
3:0	OS[3:0]	R/W	0h	CH2 OFFSET 偏移量存储 [3:0]

8.6.1.15 GAIN_ERRSET1(地址 = 10h)(复位 = 00h)

GAIN_ERR 校准。

图 8-6-15. GAIN_ERRSET1: 校准 GAIN_ERR

7	6	5	4	3	2	1	0
GAIN_ERR7 ~ GAIN_ERR0							
R/W-0h							

表 8-6-16. GAIN_ERRSET1 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_ERR[7:0]	R/W	0h	CH2 GAIN_ERR 增益误差存储 [7:0]

8.6.1.16 GAIN_ERRSET2(地址 = 11h)(复位 = 00h)

GAIN_ERR 校准。

图 8-6-16. GAIN_ERRSET2: 校准 GAIN_ERR

7	6	5	4	3	2	1	0
GAIN_ERR14 ~ GAIN_ERR8							
R/W-0h							

表 8-6-17. GAIN_ERRSET2 寄存器字段说明

位	字段	类型	复位	说明
7:0	GAIN_ERR[14:8]	R/W	0h	CH2 GAIN_ERR 增益误差存储 [14:8]

8.6.1.17 GAIN_ERRSET3(地址 = 12h)(复位 = 00h)

GAIN_ERR 校准。

图 8-6-17. GAIN_ERRSET3: 校准 GAIN_ERR

7	6	5	4	3	2	1	0
OSCAL_EN	0		GAIN_ERR19		GAIN_ERR18	GAIN_ERR17	GAIN_ERR16
R/W-0h	R/W-0h		R/W-0h		R/W-0h	R/W-0h	R/W-0h

表 8-6-18. GAIN_ERRSET3 寄存器字段说明

位	字段	类型	复位	说明
7	OSCAL_EN	R/W	0h	DC 自动校准使能 0 = 否 (默认) 1 = 是
6:4	0	R/W	0h	保留 始终写入 0h
3:0	GAIN_ERR[19:16]	R/W	0h	CH2 GAIN_ERR 增益误差存储 [19:16]

8.6.1.18 OSCSET1(地址 = 18h)(复位 = 00h)

OSC EFUSE 配置。

图 8-6-18. OSCSET1:OSC EFUSE 寄存器配置

7	6	5	4	3	2	1	0
OSC7 ~ OSC0							
R/W-0h							

表 8-6-19. OSCSET1 寄存器字段说明

位	字段	类型	复位	说明
7:0	OSC[7:0]	R/W	0h	OSC 修调码字 [7:0]

8.6.1.19 OSCSET2(地址 = 19h)(复位 = 00h)

OSC EFUSE 配置。

图 8-6-19. OSCSET2:OSC EFUSE 寄存器配置

7	6	5	4	3	2	1	0
0				OSC[11:8]			
R-0h				R/W-0h			

表 8-6-20. OSCSET2 寄存器字段说明

位	字段	类型	复位	说明
7:4	0	R	0h	保留 始终写入 0h
3:0	OSC[11:8]	R/W	0h	OSC 修调码字 [11:8]

9 应用和实现

9.1 应用信息

SW3011 包含了低功率心电图 (ECG) 应用中通常需要的所有功能。SW3011 有一个灵活的输入多路复用器，可以独立连接到内部生成的信号，用于测试、温度和导联脱落检测。同时，SW3011 可以选择将输入信号的共模电平，通过右腿驱动电路输出，以将人体偏置在合适的电平。另外，SW3011 可以通过内部电流上下拉来进行直流导联脱落检测。

9.2 典型应用

SW3011 常用于便携式单通道 ECG 采集系统，如图所示。受益于 SW3011 的高集成度，该系统仅由 ESD 保护、SW3011、供电模块 (DCDC+LDO) 和接口模块 (MCU+BT) 组成。该系统通过右臂电极 (RA) 和左臂电极 (LA) 采集 ECG 的差分信号，进行量化后送入 MCU 进行蓝牙发数，APP 端负责收数、处理与 ECG 波形显示。RLD 电极则负责驱动人体至共模电平，以保证 ECG 信号在 SW3011 输入信号范围内。

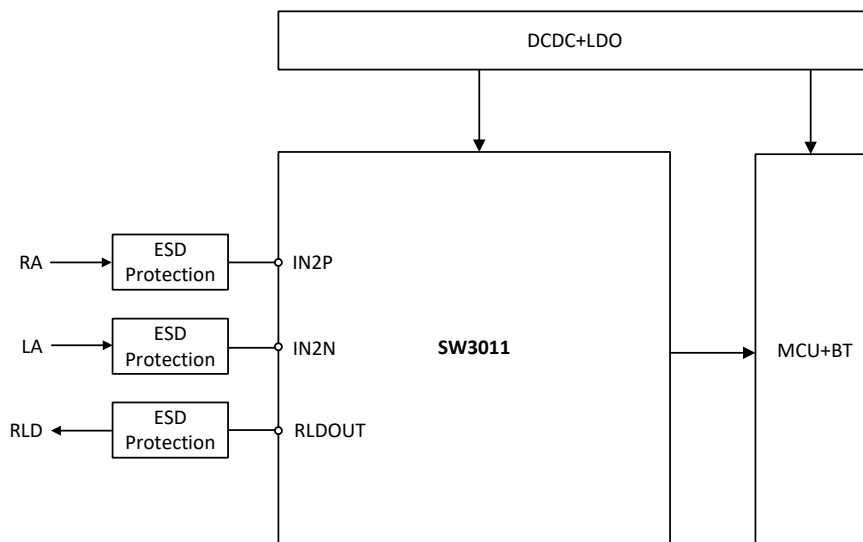


图 9-2-1. 便携式单通道 ECG 采集系统

10 电源建议

SW3011 的标称性能由 3V 的模拟电源电压 AVDD 和 2.454V 的内部参考电压 VREFP 指定。SW3011 在模拟电压为 2.7V 到 5.5V 范围内均具有优异的性能。典型特性部分列出了可随工作电压和参考电压显著变化的参数。

10.1 上电排序

在器件上电之前，所有数字和模拟输入必须处于低电平。上电时，将所有这些信号保持在低电平，直到电源稳定为止，如图 10-1-1 所示。

留出时间让电源电压达到其最终值，然后开始向 CLK 引脚提供主时钟信号。等待时间 t_{POR} ，然后发送 RESET 脉冲。在释放 RESET 之后，必须对配置寄存器进行编程，请参阅 [CONFIG1: 配置寄存器 1](#) 寄存器映射部分了解详细信息。上电顺序时序如图 10-1-1 所示。

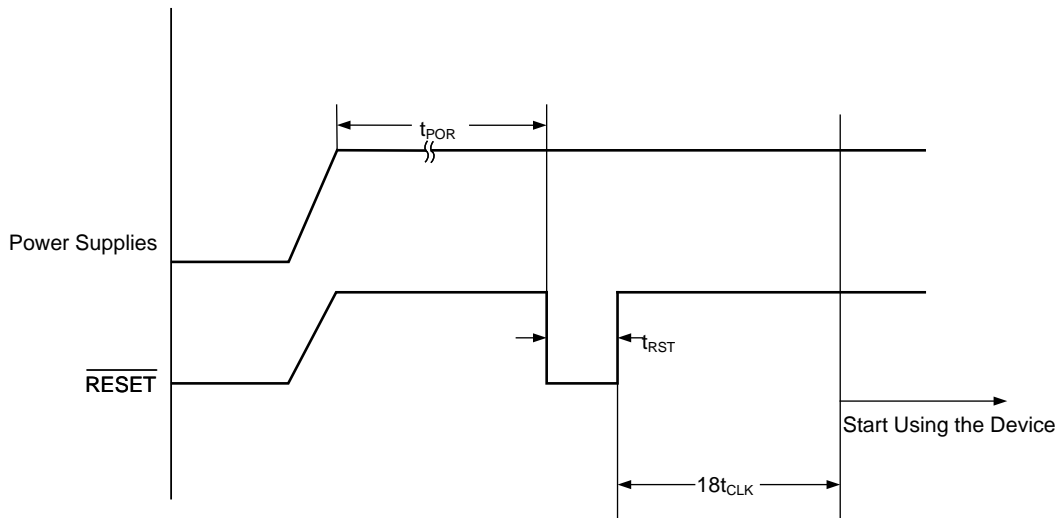


图 10-1-1. 上电时序图

表 10-1-1. 上电时序要求

参数	描述	最小值	典型值	最大值	单位
t_{POR}	在上电后等待，直到复位		1		s
t_{RST}	复位处于低电平的持续时间	1			t_{MOD}

11 布局

11.1 布局指南

为了实现设备的最佳性能，建议养成良好的 PCB 布局习惯。

噪声通过整个电路和设备的电源引脚耦合到模拟电路中。靠近模拟电路的低阻抗电源通过旁路电容来减少耦合噪声。将低 ESR 的 $0.1\mu\text{F}$ 陶瓷旁路电容器连接在每个供电引脚和地之间，并尽可能靠近设备放置。对于单电源应用，可以将单个旁路电容器从正极连接到地。

为了减少寄生耦合，将输入线路尽可能远离供电或输出线路。如果这些线路无法保持分离，与敏感线路垂直交叉比与嘈杂线路平行交叉要好得多。

尽可能将外部组件靠近设备和保持线路短且直。

11.1.1 PCB 布局

11.1.1.1 电源和接地

SW3011 具有两个供电电源：AVDD 和 DVDD。AVDD 应尽可能保持稳定，因为它为电荷泵模块提供电源，并在 f_{CLK} 处产生瞬态响应。在 SW3011 的运行过程中，消除与 AVDD 不同步的噪声至关重要。SW3011 应使用 $10\mu\text{F}$ 和 $0.1\mu\text{F}$ 的固态陶瓷电容旁路供电电源引脚。建议将数字 (例如 DSP、微控制器和 FPGA) 和模拟电路划分为不同的 PCB 区域，以防止数字返回电流耦合到敏感的模拟电路中。

用于去耦的电容器可采用表面贴装、低成本、低轮廓的多层陶瓷型。在大多数情况下，VCAP1 电容器也可以是多层陶瓷，但容易受到高频或低频噪声影响的电路中，建议安装非铁电电容器，例如钽电容器或类 1 电容器 (例如，C0G 或 NPO)。EIA 类 2 和类 3 电介质 (例如 X7R、X5R、X8R 等) 是铁电的，这些电容器的压电特性可能表现为电容器所产生的电噪声。当使用内部参考时，VCAP1 节点上的噪声会导致性能下降。

11.1.1.2 电源连接方式

图 11-1-1 说明了 SW3011 电源的连接方式。在该示例中，模拟电源 (AVDD) 以模拟接地 (AVSS) 为基准，数字电源 (DVDD) 以数字接地 (DGND) 为基准。

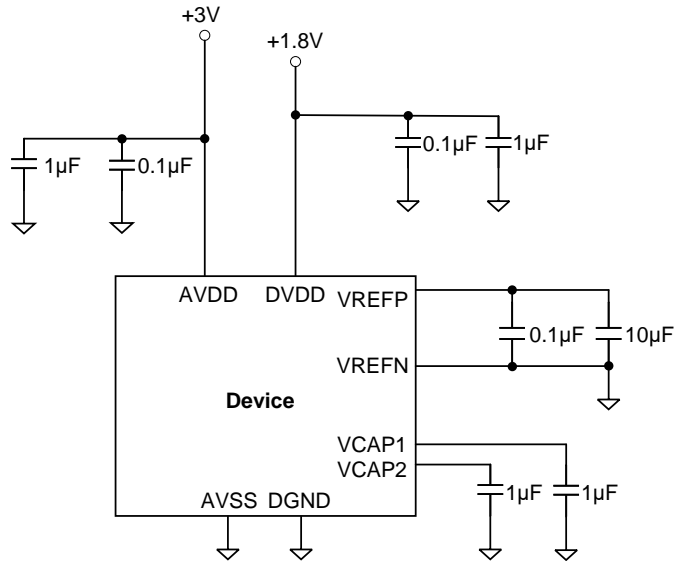


图 11-1-1. 电源供电方式

注：将电源、参考、VCAP1 和 VCAP2 的电容器尽可能靠近封装。

11.1.2 屏蔽模拟信号路径

与任何精密电路一样，周密的 PCB 布局确保了最佳性能。至关重要的是要进行短而直接的互连，并避免杂散布线电容，特别是在模拟输入引脚和 AVSS 处。这些模拟输入引脚具有高阻抗，并且对外部噪声极其敏感。AVSS 引脚应被视为敏感的模拟信号，并通过适当的屏蔽直接连接到电源接地。如果不实施屏蔽，PCB 印制线之间的泄露电流可能超过 SW3011 输入偏置电流。数字信号应尽可能远离 PCB 上的模拟输入信号。

11.2 布局示例

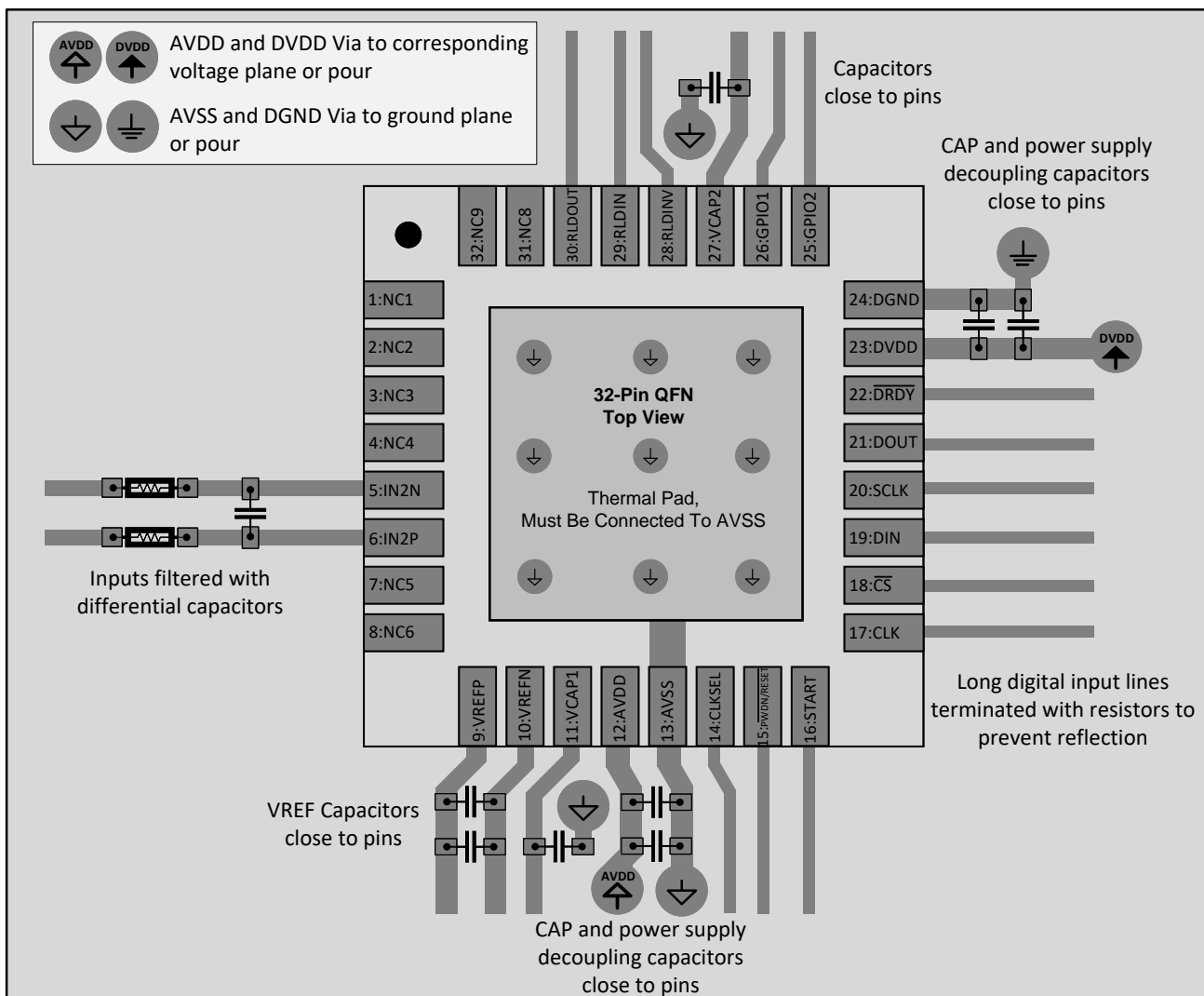
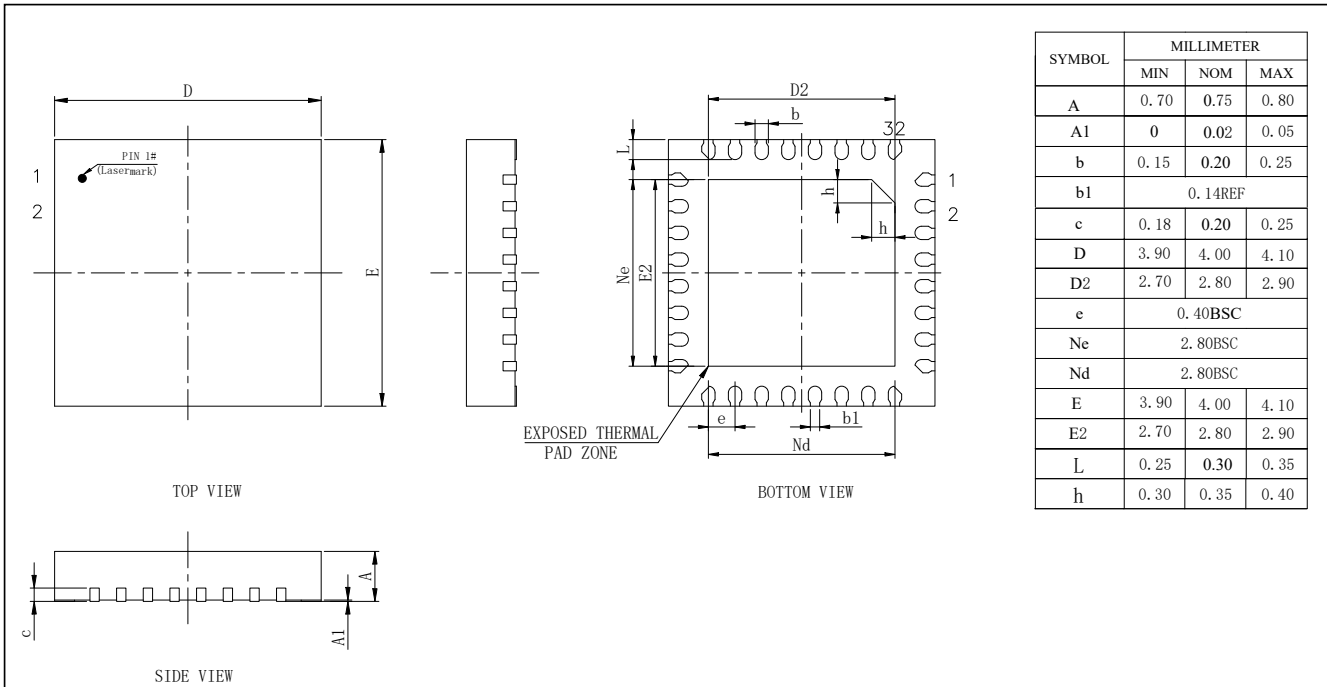


图 11-2-1. PCB 布局示例

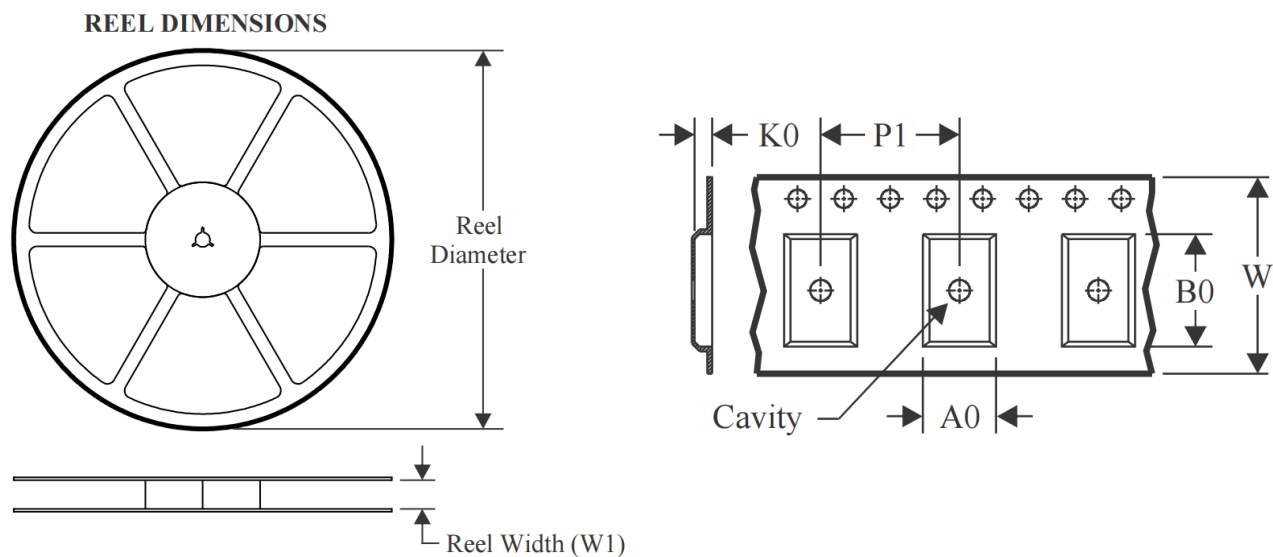
12 机械、封装和可订购信息

封装信息

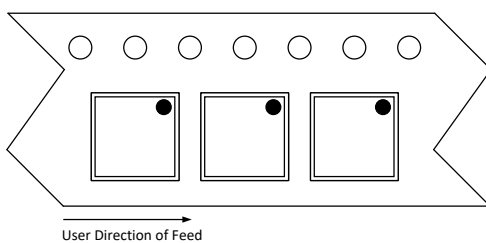
可订购器件	状态	封装形式	引脚	最小包装	等级认证标准	MSL 峰值温度	操作温度 (°C)	器件标识
SW3011NH	MP	QFN	32	3000	RoHS/Reach Pb-free	Level-3	-40~+85	SW3011



包装信息

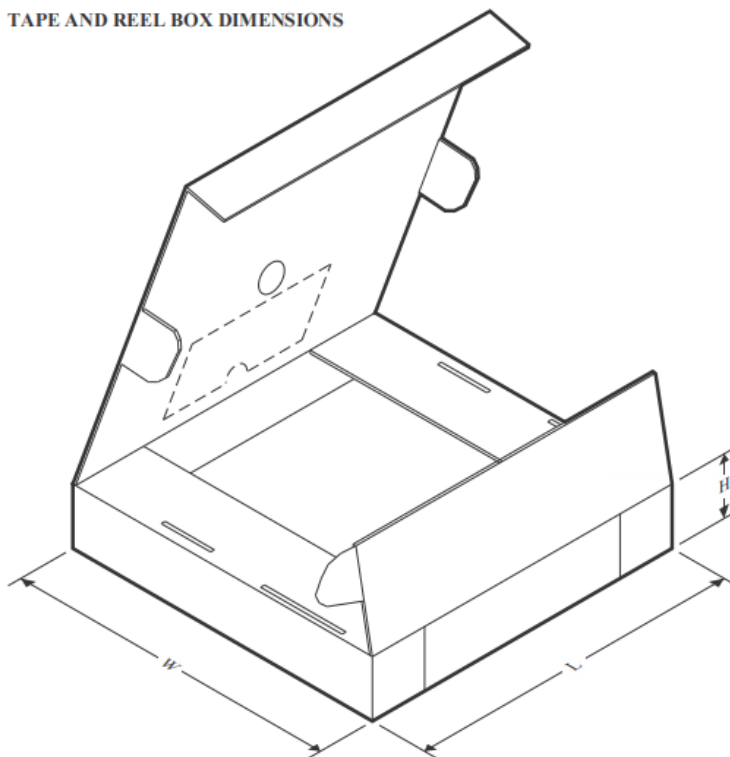


A0	设计尺寸以适应部件宽度
B0	设计尺寸以适应部件长度
K0	设计尺寸以适应部件厚度
W	载带的总宽度
P1	连续型腔中心之间的间距



器件	封装类型	引脚	SPQ	卷轴直径 (mm)	卷轴宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)
SW3011NH	QFN	32	3000	333.0	12.4	4.25	4.25	1.15	8.0	12.0

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
SW3011NH	QFN	32	3000	336.0	336.0	48.0